

根據相位雜訊圖來估算PLL 頻寬、抖動轉換及週期抖動

作者：Brijesh Shah，安森美半導體

每隔幾年，幾乎所有市場上廣泛普及的高頻串列通訊標準(PCI-Express、USB、乙太網路、同步光纖網路(SONET)、串列ATA(SATA)、Infiniband等)都會被修訂，以符合現今資料飢渴型社會的更高期望。隨著這些標準新版本的推出，市場對支持它們的電子電路的需求也加強了。整合在當代系統應用中的高性能時脈產生及分配元件使用頻域參數，也就是相位雜訊和相位抖動來描述它們的性能。本文探討相位雜訊圖怎樣配合估計製造商資料表上沒有明確提及的時脈元件特性，使工程師能夠更好地評判針對特定應用的適合情況。

當應用高速串列鏈接時，可以利用週期抖動來推導位元錯誤率(BER)。時脈元件的抖動轉換及PLL頻寬也是重要衡量標準，因為透過這些參數有可能更好地推測輸入源或輸入時脈會怎樣影響元件的輸出。所有這些步驟都將幫助工程師選擇符合他們需求的恰當時脈元件。然而，因為這些參數很少被直接標明，因此必須進行計算。

抖動轉換

抖動轉換揭示一定偏移頻率範圍內的衰減量或產生的雜訊。它由鎖相迴路(PLL)的迴路濾波器回應來確定。相位雜訊圖提供所有偏移頻率時的雜訊密度，因此它包含確定時脈元件抖動轉換必要的資料。顯示抖動轉換、產生及衰減的最佳方式，是使用在較低偏移頻率時擁有較高底噪及在較高偏移頻率時擁有較低底噪的時脈源。在低頻時，PLL將高源雜訊傳遞至輸出；而在高頻時，它將顯示固有底噪，這是PLL低通頻寬特性的緣故。

低頻寬PLL即使在較低偏移頻率時也能衰減抖動，PLL頻寬越低，在此等頻率時的衰減性能也會更高。然而，低頻寬PLL存在回應時間較慢的缺點——它會花費時間來跟蹤輸入時脈變化。大多數網路通訊鏈

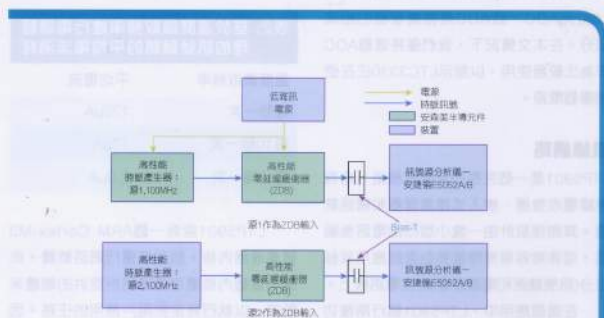


圖1: 電路圖顯示了PLL頻寬及抖動轉換測量。

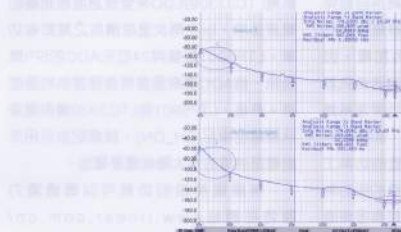


圖2: 源1及緩衝器輸出的相位雜訊圖。

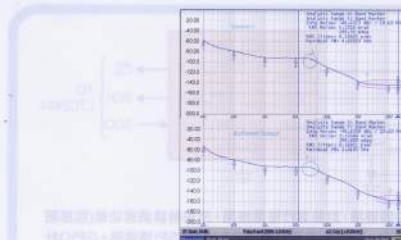


圖3: 源2及緩衝器輸出的相位雜訊圖。

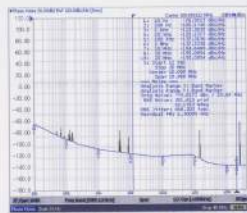


圖4: 帶有毛刺的時脈產生器輸出相位雜訊圖。

路在較低偏移頻率時的約束不那麼嚴格。

PLL 頻寬

如果使用了恰當的參考時脈源，除了抖動轉換，相位雜訊圖也能幫助確定PLL頻寬。為了充分理解PLL頻寬估計及PLL的抖動轉換，應當進行簡單的量測設置，使用兩個不同時脈源來為一個高性能零延遲緩衝器(ZDB)饋送訊號。

圖1顯示了介紹相位雜訊量測設置的簡單電路圖。量測是使用安捷倫5052A訊號源分析儀進行的。源1(高性能時脈產生器)和ZDB採用低雜訊電源供電。

如圖2所示，源1的均方根(RMS)相位

抖動為約447fs，而緩衝器輸出為約448.8fs。RMS抖動是在從10kHz至20MHz的偏移頻率範圍內量測的。在10至100Hz的較低偏移頻率時，緩衝器雜訊相比源而言較高，但對大多數通訊通道而言這並不構成問題，因為它被PLL輕易地追蹤。輸出緩衝器相位雜訊圖大致匹配高達1MHz的源相位雜訊圖。高於此頻率時，緩衝器輸出的底噪低於源底噪，如圖2中的第2號圖所示。

源2使用了資料模式產生器(DPG)。它擁有比源1量多高的底噪。因此，圖3所示的緩衝器輸出圖匹配較低頻率(10-100Hz)時的輸入源。緩衝器-PLL傳遞低於1MHz的輸入雜訊；源雜訊圖中30kHz附近的突

兀變化反射在緩衝器輸出雜訊圖中，如圖3中的第1號圖所示。對於高於1MHz的頻率而言，緩衝器底噪明顯低於源底噪，如圖3中的2號圖所示；這表示緩衝器在此頻率範圍內充當抖動衰減器。

週期抖動

如前所述，週期抖動是用於在高速串列標準中對BER進行近似估算的一項重要參數，但通常情況下時脈元件製造商僅提供使用低雜訊頻域設備量測的相位抖動或相位雜訊資料。相位雜訊頻域定義為基於載波功率頻譜密度峰值的衰減(單位為dB/Hz)。相位雜訊頻域與RMS週期抖動之間的關係是：

$$\Delta t_{\text{RMS}}^2 = \frac{T_c^2}{4\pi^2} \int_0^\infty S_{\phi}(f) \times 4\pi \sin^2(\pi f T_c) df \quad (1)$$

換算因數 $\frac{T_c^2}{4\pi^2}$ 將抖動單位從弧度換算為秒。為了量測抖動， $T_c \equiv T_0$ 。因此， $S_{\phi}(f)$ 是總雜訊功率頻譜密度，它與(偏移頻率時的相位雜訊)的相關關係如下所示：

$$\Delta t_{\text{RMS}}^2 \approx 2 \left(\frac{T_c^2}{4\pi^2} \int_0^\infty L(f) \times 4\pi \sin^2(\pi f T_c) df \right)$$

$$\Delta t_{\text{RMS}}^2 = \Delta t_{\text{rms,PN}}^2 + \Delta t_{\text{rms,spur}}^2 \quad (2)$$

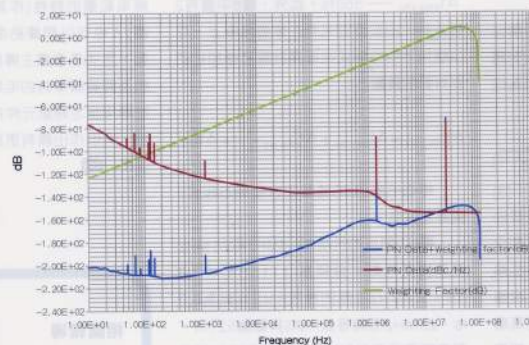


圖5: 100MHz載波時的相位雜訊頻譜密度。

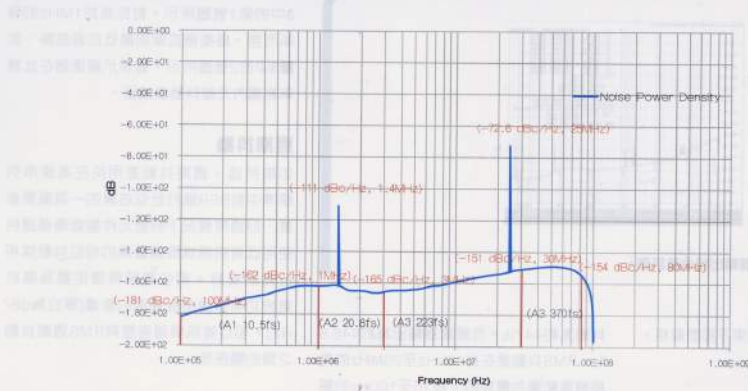


圖6: 相位雜訊的RMS抖動換算。

為了根據相位雜訊圖估計週期抖動，偏移頻率的相位雜訊必須乘以函數 $4\sin^2(\pi f\tau)$ 。dB換算 $4\sin^2(\pi f\tau)$ 顯示它擁有-20dB/十倍頻(decade)的斜率(見圖5)。 $4\sin^2(\pi f\tau)$ 以dB為單位的值可以增加到相位雜訊圖資料中，單位為dBc。相關偏移頻率範圍內最終資料的數值積分將提供單邊頻帶的相位雜訊密度。例如，為了根據圖4中給出的相位雜訊圖來估計週期抖動，增加以dB為單位的函數資料 $4\sin^2(\pi f\tau)$ 到相位雜訊(PN)資料(單位為dBc/Hz)中，如圖5所示。所獲得的藍色曲線顯示了相位雜訊頻譜密度。

對圖5中藍色曲線以下區域進行積分將得到相位雜訊頻譜密度(單位為dB)(對應區域A)。它可以使下列方程式換算為均方根抖動：

$$\text{RMS抖動}(s) = \sqrt{\Delta t_{\text{rms},A}^2} = \frac{T_c}{4\pi} \sqrt{2 \times 10^{A/10}} \quad (3)$$

如圖6所示，曲線下面的區域根據曲線形狀或是使用分段線性函數，可以劃分為幾個不同部分(A₁、A₂等)。由於較低偏移頻率雜訊不會大幅影響週期抖動，故僅考慮較高偏移頻率下的曲線。為了提高精度，完整曲線可以劃分為多個部分，相應各個部分對週期抖動的影響。圖6中的曲線劃分為4個部分，每個部分包含2個相關

資料點(相位雜訊、偏移頻率)。使用這些資料點，每個部分的面積可以換算為等效的抖動(以秒為單位為表述)。

每個部分對RMS抖動的貢獻如圖6所示。這些RMS抖動值之和可以使用下列方程式來計算：

$$\Delta t_{\text{rms},A}^2 = \Delta t_{\text{rms},A1}^2 + \Delta t_{\text{rms},A2}^2 + \dots + \Delta t_{\text{rms},AN}^2 \quad (4)$$

根據這個等式，可以計算出圖6中顯示的4個區域對抖動的總體貢獻之和為434fs。此值乘以2即得到總雜訊貢獻 $\Delta t_{\text{rms},PN} = 868\text{fs}$ 。此外，圖6中還有2個毛刺。由於這些毛刺在單個頻率上，可以使用下列方程式來單獨計算及增加它們對抖動的貢獻：

$$\Delta t_{\text{rms},\text{spur}}^2 = \Delta t_{\text{rms},\text{sp}_1}^2 + \Delta t_{\text{rms},\text{sp}_2}^2 + \dots + \Delta t_{\text{rms},\text{sp}_N}^2 \quad (5)$$

每個毛刺的dB值都可以使用方程式3換算為抖動。

圖6中顯示的示例在1.4MHz和25MHz頻率時有毛刺，分別為-111dB和-72.6dB。1.4MHz毛刺的等效RMS抖動為6.3fs。25MHz毛刺等效RMS抖動為527fs。較高頻率的毛刺對週期抖動的影響比較低頻率的毛刺更大。25MHz毛刺的值要比1.4MHz毛刺高得多。使用方程式5計算的

總毛刺RMS抖動值 $\Delta t_{\text{rms},\text{spur}}$ 極接近於527fs，因此，1.4MHz毛刺的影響可以忽略不計。高dB毛刺可能是某些應用中因抖動影響增加而易於出現的誤差。使用方程式2，可以估算出圖6中推導圖表的總週期抖動為1.015ps。

總而言之，工程師在指定時脈元件時，諸如相位雜訊及相位抖動等頻域參數對他們極有價值。元件製造商提供的相位雜訊圖充當這些產品的極重要性能指示工具。可以使用圖表來近似估算PLL的頻寬及抖動轉換特性，因而幫助確定它在相關頻率範圍的特性(作為抖動衰減器或產生器)。也可以根據給定圖表來估算週期抖動，方式是考慮主頻率範圍內的相位雜訊及關鍵頻率時的毛刺。尋求為下一代設計應用指定時脈元件的工程師使用這些資訊，可以作出具有更高權威性的產品造型決策。 **EDN**

相關報導

一種快速估計PCB走線電阻的方法
www.edntaiwan.com/ART_88005
13420_3000004_TA_fb6ff441.HTM