

# 向复杂时钟设计者致敬

安森美半导体设计布线工程师 Billie Johnson

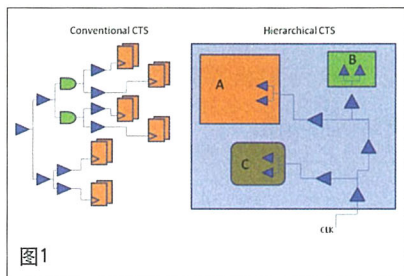
我们可以快速回顾一下基本的时钟理论。时钟信号决定着电路的数字设计性能。当时钟信号在高态和低态之间变换时，应用中的逻辑将切换为上升沿、下降沿或两者皆有。由于溢出给定时钟域的事例极多，有必要插入缓冲树来恰当驱动逻辑。时钟树有延迟、歪曲率(skew)、最大功率及信号完整性要求，布线工程师都须予以应对。

在布线之前，使用理想的时钟来进行合成及时序约束。约束的时钟定义可能出现在顶层焊垫或引脚或模块；也可能出现在宏输出，如锁延迟环(DLL)或锁相环(PLL)；或者体现为除法寄存器上产生的时钟。这些时钟定义可能是也可能不是布线工程师需要定义时钟树根以在不同工作模式之间获得最优延迟及均衡歪曲率的领域。

## 层次化方法

传统CTS在顶层执行，采用的是企图以一次通过(one pass)平衡所有反相器(flop)的自上而下方法。而“自下而上”方法(或称层次化CTS)正变得更受欢迎，因为设计在本质上分层，而

且可采用这种方法获得更好结果。首先在较低的层级插入时钟树，然后以延续步骤迈向顶层。“层次化”描述囊括了设计中的软件及固件模块。



固件或硬件化模块(含其时钟树)独立于顶层设计来构建，然后在随后顶层应用的某个点被实例化。通常为其预留出空间，此空间亦称作“黑盒”区域。工程师可能使用这种方法来并行推进同一设计的不同部分，从而优化软件运行时间(runtimes)，确保完整复制使用超过一次的相同逻辑，更好地支持在最后时刻对设计的某些具体部分进行变更，且不会严重扰乱完整芯片设计。顶层时钟连接至独立模块，不能查看电路内部。

在Cadence数字布线工具集中，可以针对每个模块的时钟树定义一个宏模型，以此代表带有输入电容的最小及最大时钟树。构建好了顶层之后，这工具就确切知道顶层下面的是

什么，并会顾及每个模块边界的延迟及歪曲率问题。

也存在设计中可能不包含固件模块但包含已插入时钟之较低层级逻辑的案例。可以产生及定义宏模型，使这些时钟树保持未被扰动，CTS将恰好上升至预定部分或引脚，且同样顾及到下行延迟数据，从而帮助平衡或用于其它合成目标。

精确的宏模型对时钟平衡极有利，但工程师可能也会使用它们来应用有用的歪曲率，从而满足功率要求，支持时间借用(time borrowing)或是强迫产生用于高速接口的想要的相位偏置。

## 低能耗考虑因素

随着设计规模持续增大，应对功率耗散问题至关重要。有多种手段来处理芯片在时钟插入期间的能耗，而且包括前工序设计人员、布线工程师及库开发人员在内的所有人都应当参与解决此问题。

以前的最佳惯例包括运用过度悲观的时序约束来生成裕量、应用带高驱动缓冲器的快速时钟树及确保时钟树拥有尽可能低的歪曲率等。这些方

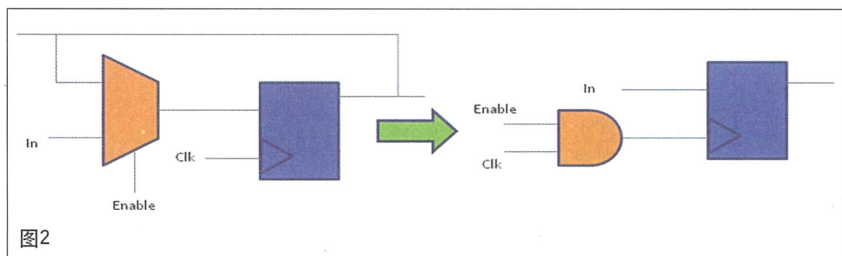


图2

法都会增加芯片的能耗，故业界如今在将能耗视作CTS变量时几乎改变都了对这些方法的态度，并推荐使用现实可行的约束，及在较不平衡的时钟树中对缓冲器驱动强度进行分类，从而降低能耗。有利的是，布线软件已经变得更具能耗意识，从而适应此方法变更，故可以恰当地引导时钟树插入。前工序设计人员也可以处理与时钟架构相关的潜在能耗问题。

时钟门控(gating)是一项降低工作能耗的技术，方式是关闭在驱动不工作寄存器的时钟。门控逻辑被增加到时钟树中，使寄存器开关状态的偏离幅度可以降低，因而降低耗散的功率。这并不是新概念，但在给定芯片的不同模块中，门控正变得更加普遍。一部分的CTS方法如今也可能涉及着重为时钟树的特定分支处理启用(Enable)信号问题。

当门控并不能帮助提供大幅省电时，设计人员将各个模块与各自单独功率域(电压要么跟设计的核心模块相同要么更低)衔接起来。如今许多库都包含3类单元来处理不同功率域：隔离单元、电平转换器及电平转换器隔离单元。

这些单元可以用作常规缓冲器

单元，使时钟可以插入及在不同域之间有目的地平衡或歪曲。单独的启用输入可以控制隔离单元，使完整的功率域都可以根据所要求的工作来关闭或导通。电平转换器单元顾名思义，恰当地升高或降低电压；而第三个单元，即电平转换器隔离单元，可以执行这两种功能。

## 更小的几何尺寸

几何尺寸小于90nm的技术涌现的另一项布线流程问题恰好跟CTS相关。我们已被平衡时钟的想法所驱动，以此确保真实或传播的时钟将匹配预布线合成中使用的理想时钟值。多角多模(MCMM) CTS技术的引入，通过应对不同角之间的工艺变化问题，帮助将角内部或不同角之间的歪曲率及插入延迟减至最小，但许多芯片设计在插入时钟后的最后结果却是开关功率过高，或是布线前及布线后时序大幅分散。

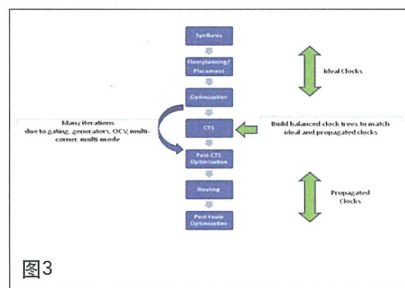


图3

上文探讨了功率处理问题，但如何应对前及后CTS时序差异问题？下面的图表展示了180nm及更大尺寸技术的典型物理设计流程。由于门控、多工、时钟产生寄存器、复杂扫描链及片上变化(OVC)等因素，多次迭代CTS已经变得有必要了。

布线工具套件提供了一种新技术，称作时钟同时优化(Clock Concurrent Optimization, ccopt)。我衷爱好用的按键流程，但喜欢ccop要求对设计的时钟结构、工作模式、功率要求及ccopt引擎将怎样整合所有这些因素有基本理解的许多工具。图4展示了先进的布线流程，它将CTS及随后的优化结合到了一个步骤中。

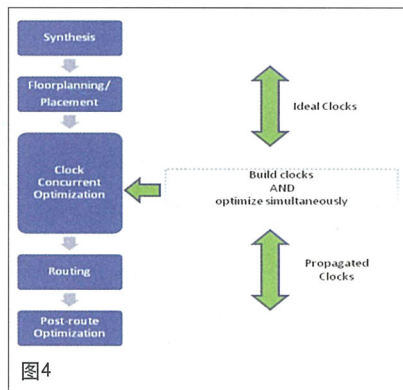


图4

这ccopt软件处理在设计可能已包含的之外的时钟门控问题，如克隆(cloning)、去克隆(decloning)及智能移动门控。它还遵从多角及多种工作模式，可以应用动态的(on-the-fly)有用歪曲率，用于实现时序及功率目标。在深亚微米设计领域中，如今正变得更易于中断两件事情同时合为一件事情，故这个工具中的关键词“同时”并不显眼及有必要。