

# 便携电子设备LDO稳压器的挑战及设计权衡

## ——设计下一代便携电子设备的有价值信息

作者: Eamonn Ahearne, 稳压业务部市场拓展经理, 安森美半导体

低压降 (LDO) 线性稳压器是一种重要元件, 应用范围极广; 便携设备 (媒体播放器、数码相机、GPS系统、便携游戏机) 及手机市场可能存在一些极严格的条件, 要求将电池使用时间延至最长及将尺寸减至最小仅是滋生棘手挑战的多种因素中的两例。

一般情况下, 尺寸问题已经藉使用芯片级封装 (CSP) 或凸块裸片 (bump die) 形式的稳压器得到解决。但散热及封装流程方面的挑战又由此而生。此外, 构建LDO稳压器时, 设计人员通常必须在电流消耗与噪声性能之间进行折衷: 不利的是, 便携产品既需要低功率消耗, 又需要优异的纹波抑制及产生的噪声低。本文将详细探讨与在便携应用中使用LDO稳压器相关的这些挑战及不计其数的其它折衷问题, 旨在为要设计下一代便携电子设备的设计工程师提供有价值的见解及信息。

### 针对便携消费类市场设计LDO

独立式线性稳压器在手机中一直都占据重要但也有点不被欣赏的位置, 它们的典型作用是将射频 (RF) 部份与噪声相对较多的基带芯片组隔离开来。有关它们走向末路的传言多年来不绝于耳, 与此相伴的臆断是完全集成式 (all embracing) 电源管理单元 (PMU) 将日益取代线性稳压器存在的必要性。然而, 硬件功能像相机闪光、图像传感器、蓝牙模块等持续增加及变化, 持续要求灵活 (电压及电流选择方面快速变化), 以及极低噪声影响 (calming influence) (就电气层面而言), 但仅有分立式LDO能够提供这样的低噪声。当今的智能型手机中, 复杂的转轴 (hinge) 及滑动面板使采用单个PMU为所有电源导轨供电的情形变得不具吸引力, 结果是某些更复杂手机可能拥有多达5个分立LDO, 为诸如触控面板、键盘、

图像传感器及RF电路等元件供电。

### 功耗与噪声折衷问题

设计人员在为手机选择LDO时渴求的两项最重要特征一直是LDO的动态性能及其尺寸。在LDO抑制外部噪声 (电源抑制比PSRR规范中有对此有列明, 其单位是dB) 及避免产生内部噪声 (通常以 $\mu V_{RMS}$ 为单位) 的能力方面, 有趣的是回顾一下手机中使用的LDO在过去10年来的进步。早期产品是纯双极型元件, 典型PSRR为45dB,

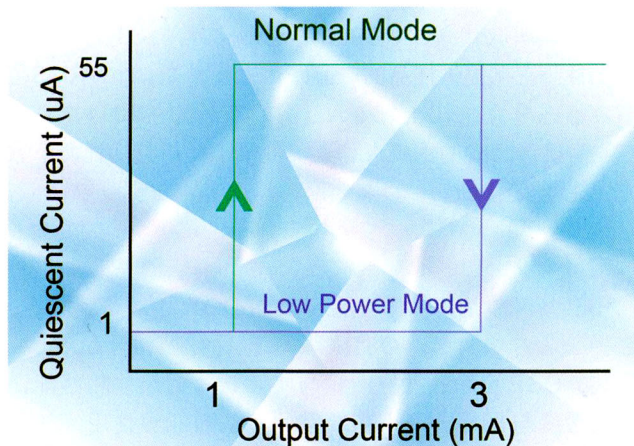


图1: 能在低功率模式与高性能模式之间切换的元件的推出, 解决了动态性能与电流消耗之间折衷取舍的挑战。此类元件的一个典型范例是安森美半导体的NCP4587。



噪声等级高于 $30\mu\text{VRMS}$ 。为了达到此噪声规范，LDO通常要求采用1颗旁路（bypass）电容连接至其内部电压参考，而此拓扑结构已经成为低噪声元件的标准。

双极产品逐渐被CMOS技术取代，配合了模拟产品的特定要求。早期CMOS产品规定在1kHz输入噪声时的PSRR为约50dB，噪声规范为 $30\mu\text{VRMS}$ 。CMOS产品在电流消耗方面胜过双极型产品——双极元件在满载时的典型电流消耗为 $850\mu\text{A}$ ，而CMOS元件规定的典型电流消耗值通常为140至 $155\mu\text{A}$ 。

BiCMOS技术引入后出现了大的进步，而BiCMOS可能仍然是无线领域低噪声LDO的基准。现在可以提供PSRR典型值75dB（@ 1kHz）及额定噪声低于 $10\mu\text{VRMS}$ 的产品规格。静态电流仍然是个问题，但在所有条件下的典型最大静态电流消耗为 $50\mu\text{A}$ 。仅供参考的是，市场上有数款静态电流为1至 $4\mu\text{A}$ 范围（空载条件下）的CMOS元件，但其噪声性能规格通常极差。

CMOS设计人员已经通过推出可在低功率模式（动态性能降低但能耗低）与高性能模式（动态性能佳，但代价是电流消耗更大）之间切换的元件，设法处理在动态性能与电流消耗之前进行折衷的问题。这两种模式既可以由用户来选择，也可以在输出负载极低时自动切换。安森美半导体提供的带自动低功率模式的LDO线性稳压器NCP4587就是一个典型示例，其性能如图1所示。

业界不断调配BiCMOS技术，以此推动模拟产品开发；而线宽更小、更先进的BiCMOS技术的出现，使设计人员尝试新的途径来应对挑战。例如，传统上用于LDO设计的带隙参考（bandgap reference）拘囿于始终处在工作状态，因而持续消耗电流。在某些产品中，它被存储了电荷、提供极精确参考但几乎没有电流消耗的栅极（gate）所取代（CAT8900是一项范例）。我们审视市场上目前正在提供样品的产品，可见噪声在 $10\mu\text{VRMS}$ 范围及静态电流在10至 $15\mu\text{A}$ 范围的产品将在2011年底量产，为挑选LDO的手机设计人员提供了噪声与功耗两个领域性能均极佳的选择。

## 尺寸不是问题

传统经验是提供尽可能最小的LDO尺寸，然后封装选择是芯片级封装（CSP）——也称作凸块（bump）封装。CSP元件的占位面积与实际裸片的尺寸相匹配，封装边缘与裸片之间不需要空间，从而能够使用线接合（wire bonding）。CSP的高度往往极低（通常高度约为0.6mm），使其备受便携消费类产品制造商欢迎。许多客户知道其设计中使用CSP，并坚持一套额外的认证测试，

其中包括元件热循环测试及经受一系列专门定制了的跌落测试。探寻出凸块在工艺及尺寸方面的恰当组合从而通过规格认证极为费力，并已产生多种相当标准化的惯例。

CSP产品的裸片尺寸通常约为 $1\text{mm} \times 1\text{mm}$ 。凸块尺寸已经标准化为约 $300\mu\text{m}$ ，凸块间距为0.5mm。如今发布的大多数带有四五个凸块的CSP产品往往会沿习标准占位面积，有效地将占位面积限制为 $1\text{mm} \times 1\text{mm}$ ，相应的典型高度为0.6mm。

CSP封装在尺寸方面最接近的对手是DFN封装（也被Amkor命名为微引线框架（MLF）封装）。由于LDO设计所选择的工艺已过渡至 $0.25\mu\text{m}$ 或 $0.18\mu\text{m}$ ，裸片尺寸已经降低至裸片可以装入小至 $0.8\text{mm} \times 0.8\text{mm}$ 的封装，尽管需要公隙（clearance）。虽然早期DFN封装的高度约为1mm，如今我们可以看到高度仅为0.4mm的XDFN封装，比大多数CSP产品都薄得多。

使用小型DFN封装的制造商最少在使用两种接合途径（见图2）。第一种途径使用传统线接合，依赖的是小裸片几何尺寸，使裸片小到足够适配封装——例如，为了适配 $1.0\text{mm} \times 1.0\text{mm}$ 的封装，裸片尺寸不能远大于 $0.6\text{mm} \times 0.6\text{mm}$ ，具体取决于相关封装厂的规则有多严格。第二种途径使用标准倒装芯片（flip chip），利用的是铜柱（copper pillars）而非传统的锡焊凸块（solderbump）。铜柱在裸片上生长（grown），然后翻转过来，并藉铜柱附着在封装的铜引线框上。这种途径省除了线接合，配合更大的裸片尺寸——尺寸接

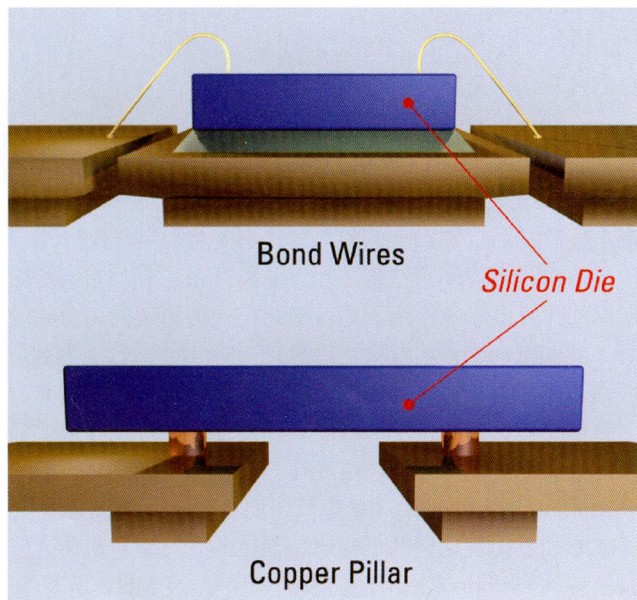


图2：通过使用铜柱技术，更大的裸片能够装配进元件封装之中，优于使用线接合技术的传统途径。

近0.8mm x 0.8mm的裸片能够使用这种技术适应1mm x 1mm的DFN封装。这在LDO输出电流的“甜蜜点”（sweet spot）已由150 mA转向200 mA的手机领域是一项重要差别。任何线性稳压器的裸片上的大多数空间都被输出功率元件占用，故能使用更大裸片尺寸来帮助功率耗散的任何技术都有用。

从制造商的角度而言，裸片尺寸减小带来的成本节省会被铜柱工艺的额外成本所抵消。从设计人员的角度而言，除了裸片尺寸，一个有意思的方面是散热：哪种途径能以最为有效的方式耗散LDO产生的热量？铜柱途径的支持者声称他们的途径在将热量从裸片表面上传送出去方面最为有效，但使用线接合途径的大多数封装都在封装下面集成了小型散热垫片，此垫片直接连接裸片衬底至印制电路板（PCB）上的散热片，提供了一种传导热量的方式。具体数量难以弄清，因为制造商往往标明热阻（thermal resistance）数值，但此数值仅在特定贴装条件下有效；但查阅已知使用铜柱途径的元件的数据表，显示1mm x 1mm纤薄DFN 6引脚封装的结点热阻（ $\theta_{JA}$ ）为150° C/W，而更常见的采用1mm x 1mm纤

薄DFN 4封装的线接合产品标明的数值为181° C/W到250° C/W范围，具体取决于所使用的测试PCB。根据这种范围极窄的样品尺寸，铜柱途径为优势方，但优势并不明显。

由于在减小DFN封装尺寸方面有这些进展，使用CSP封装或是DFN封装的LDO的决策，可能很快会变为实际选择，而不是研断必要性。需要说明厚度为0.28mm的超薄CSP封装已经引入，推测会用于封装高度问题极为重要的应用，或者实际上LDO会被内嵌在PCB中的应用。

## 结论

针对无线应用选择LDO通常涉及到不少决策：开始是在电流消耗与动态性能之间作出选择，然后是在以CSP封装（很可能要求某些额外认证测试、特殊制造技术或机械安全性能）实现尽可能最小占位面积或者是以传统封装占据更大占位面积之间作出选择。