

DC-DC 동기식 벡 컨버터의 성능 극대화 위한 출력단 부품 선택의 최적화

동기식 벡 컨버터의 출력단은 컨버터의 성능에 중대한 역할을 한다. 목표 리플 전류, 출력 리플 전압 및 출력 전압 오버슈트를 충족하기 위해서는 계산된 최소 인덕턴스와 캐퍼시턴스보다 크게 사용해야 한다. 특정 애플리케이션의 경우, 인덕터와 캐퍼시터를 선택할 때에 추가적인 요인들도 고려해야 한다.

글/Ann Starks, Applications Engineer, ON Semiconductor

스위치 모드 전력 컨버터(Switched mode power converter)는 전자 업계에서 매우 중요한 부품로서 다양한 제품들에 고효율 솔루션을 제공한다. 스위치 모드 컨버터는 컴퓨터, 전동 공구, TV, 미디어 태블릿, 스마트폰, 자동차와 그 외 많은 전기/전자 기기의 전원 및 배터리 충전회로로 사용되고 있다. 가전 업계에서 가장 많이 쓰이는 컨버터 중 하나는 DC-DC 스텝다운(step-down)컨버터로서 벡 컨버터라고 알려져 있다.

쉽게 말하면 동기식 벡 컨버터는 고전압에서 저전압으로 강압시키기 위해 사용된다. 고성능 플랫폼에 대한 산업계의 요구에 따라, 전원 컨버터의 효율이 중요한 설계 고려 사항으로 되고 있다. 이로 인해, 동기식 벡 컨버터의 기초에 대한 이해와 회로 부품을 적절하게 선택하는 것이 매우 중요하다.

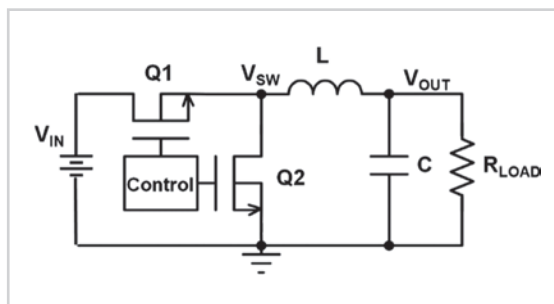
동기식 벡 컨버터의 기본

동기식 벡 컨버터는 개념적으로는 간단하다. 이 컨버터는 입력 전압보다 낮은 전압을 만들고, 전력 손실을 최소화하면서 높은 전류를 공급해야 한다.

동기식 벡 컨버터는 2개의 파워 MOSFET, 출력 인덕터 및 출력 캐퍼시터로 구성된다. 이러한 벡 토폴로지는 2개의 파워 MOSFET의 제어방법에서 기원한다.

ON/OFF 제어방식은 조정된 출력전압을 제공하고, 2개의 MOSFET가 동시에 ON 되는 것을 방지하기 위해 동기화 된다. 하이사이드(High side) MOSFET (Q1)은 회로의 입력 전압에 직접 연결된다. Q1이 턴온하면, 전류는 Q1을 통해 부하로 공급된다. 이 때, 로우사이드(low side) MOSFET (Q2)는 OFF 되며, 인덕터 전류는 증가하며, LC 필터를 충전한다. Q1이 턴오프하면, Q2는 턴 ON하고 충전된 전류가 부하로 공급된다. 이 때, 인덕터 전류는 감소되어 LC 필터는 방전한다. 하이사이드 MOSFET이 턴오프할 때 스위칭단에 큰 네가티브 전압이 발생한다. 이에 방지하기 위해 로우사이드 MOSFET은 2개의 MOSFET이 턴오프할 때 내부의 바디 다이오드(body diode)를 통해 스위칭전압을 클램프(clamp)하는 부가 기능을 제공한다.

그림 1. 동기식 벡 컨버터의 회로도



V_{sw}전압은 조정된 DC 전압을 생성하기 위해 LC 출력단에 의해 평활 된다. MOSFET들은 하이사이드 및 로우사이드 소자들이 동시에 턴온 되어 GND에 바로 연결 되어 발생하는 숏스루(shoot-through)를 방지하기 위해 동기식으로 제어된다.

하이사이드 MOSFET의 ON 타임은 회로의 듀티 사이클을 결정한다. 즉 듀티 사이클이 1이면, 하이사이드 MOSFET가 100%의 시간동안 ON 되고 출력 전압은 입력 전압과 동일하다. 또한 듀티 사이클이 0.1이라면 하이사이드 MOSFET가 10%의 시간동안 ON 되어 입력 전압의 약 10%의 출력전압을 생성하게 됨을 의미한다.

벽 컨버터 전력 손실

벽 컨버터 전력 손실은 파워 MOSFETs, 출력단, 컨트롤러/드라이버, 피드백 루프 및 컨버터의 PCB 레이아웃을 포함한 여러 요인에 의해 영향을 받는다. 일반적인 벽 컨버터 설계에서 듀티 사이클은 0.5 이하를 사용하며, 컴퓨터 및 서버에서 사용하는 일반적인 듀티 사이클은 0.1~0.2이다. 설계 플랫폼은 컨버터 크기와 폼팩터(Form factor)를 줄이기 위해 더 높은 스위칭 주파수를 필요로 한다. 이와 동시에 컨버터는 더 나은 성능과 높은 효율을 가져야 한다. 특히 출력단 성능은 벽 컨버터의 전반적인 성능에 큰 영향을 미치므로, 특정 애플리케이션을 위한 인덕터와 캐퍼시터의 선택시 이를 최적화 하는 것이 중요하다.

LC 출력단

동기식 벽 컨버터의 출력단은 인덕터와 캐퍼시터로 구성되며, 이 소자들이 에너지를 저장 및 부하로 전달한다. 또한 일정한 출력 전압을 내기 위해 스위치 노드 전압을 평활하는 역할도 한다. 인덕터의 선정은 벽 컨버터 자체의 전류 용량뿐만 아니라 인덕터의 전류 리플에도 영향을 미친다. 인덕터는 제조업체에 따라 재질과 가격이 다르며 일반적으로 ±20%의 허용 오차를 가지고 있다. 인덕터는 출력단의 성능에 영향을 미치는 자체의 DC 저항값(일반적으로 DCR이라고 함)을 가지고 있으며, 이러한

DCR 값을 최소화해야 컨버터의 전반적인 성능이 개선된다. 높은 부하 전류가 필요한 애플리케이션의 경우, 낮은 DCR을 갖는 인덕터를 선정하는 것이 좋다. 일반적으로 낮은 인덕턴스를 가지면 DCR이 작아지지만, 낮은 인덕턴스로 인한 출력 리플 전류가 커지는 트레이드오프가 있다. 따라서 특정 애플리케이션 회로의 리플 전류 요건을 충족시키기 위해서는 최소 인덕턴스를 충족시켜야 한다.

출력 캐퍼시터는 컨버터의 출력 전압, 출력 피드백 루프의 응답 시간, 부하전류의 변동 시에 발생하는 출력 전압 오버슈트에 영향을 미친다. 리플 전압은 인덕터를 도통하는 전류 및 캐퍼시터 증감에 따라 DC 출력단에 나타난다. 즉 캐퍼시터를 증가시키면 리플 전압을 줄일 수 있다. 그러나 캐퍼시터와 출력 응답 사이에는 트레이드오프가 있다. 즉 캐퍼시터를 증가시키면 출력 전압 리플과 출력 전압 오버슈트를 감소시키지만 부하 변동시에 반응하는 출력전압 피드백 루프 응답시간이 증가하게 된다. 따라서 부하 변동에 충분히 빠르게 응답할 수 있는 피드백 루프를 유지하고 요구하는 리플 전압과 전압 오버슈트를 충족시킬 수 있는 최소 캐퍼시터를 고려해야 한다.

한편 캐퍼시터는 등가 직렬저항(ESR)로 알려진 기생 직렬 저항을 지니는데 이 ESR은 출력 전압 리플과 전반적인 컨버터 효율에 영향을 미친다. 이로 인해 설계자들은 낮은 ESR로 설계하려 한다. 일반적으로 작은 사이즈에서 고성능을 요구하는 시스템에서는 MLCC(Multi Layer Ceramic Capacitor)를 사용한다. 병렬로 여러 개의 MLCC를 사용하면 ESR을 크게 줄이면서 시스템에 적합한 캐퍼시터를 사용할 수 있다.

기본 LC 설계

벽 컨버터 출력단을 설계할 때는 인덕터부터 설계하는 것이 좋다. 요구되는 리플 전류 및 기타 응용회로 사양에 근거하여 최소 인덕턴스를 계산한다. 이후 최소 캐퍼시터를 결정하면 된다. 인덕턴스와 리플 전류 사이에는 트레이드오프가 있다. 요구되는 리플 전류가 낮으면 최소 인덕턴스가 증가한다. 일반적으로 출력 필터 성능을 최적화하기 위해서는 20%~40%의 인덕터 리플 전류를 설계

치로 하면 된다.

하이사이드 MOSFET가 OFF된 동안 출력전압 유지와 출력 리플을 줄이기 위해서는 최대 ESR과 최소 캐퍼시턴스를 계산해야 한다. 출력전압 리플은 피크투피크(Peak-to-Peak;pp) 또는 캐퍼시터 전압 비율(CVR)로 표시할 수 있다. 출력 캐퍼시턴스 값과 ESR이 클수록 부하 변화에 대한 출력 응답이 길어진다. 또한 ESR은 출력전압 리플에도 영향을 미친다.

하이사이드 MOSFET가 ON 되면, 인덕터와 캐퍼시터의 도통전류가 증가하며 출력 전압이 증가한다. 하이사이드 MOSFET가 OFF되면, 인덕터와 캐퍼시터의 도통전류가 감소하며 출력 전압도 감소한다. 일정 출력전압을 달성하기 위해서는 캐퍼시터 전류 증가량이 캐퍼시터 전류 감소량과 동일해야 한다. 따라서 캐퍼시터를 통해 흐르는 정상상태 전류는 0A가 된다.

출력 캐퍼시턴스에 대한 출력 리플 전압과 인덕터 리플 전류의 영향 뿐만 아니라, 출력단 부하의 과도 응답 능력도 고려해야 한다. 동기식 벡 컨버터는 조정된 출력 전압을 유지하면서 부하 전류의 변동에 대응할 수 있어야 한다. 부하 전류가 높은 값에서 낮은 값으로 바뀌면, 출력 전압을 조정된 값으로 복귀시키기 위해 컨버터가 듀티 사이클을 조정할 수 있을 때까지 출력 전압이 순간적으로 증가한다. 이 순간 출력 전압의 증가는 출력 전압 오버슈트라 한다. 최악의 오버슈트는 부하가 최대 부하에서 무부하로 바뀔 때 발생한다. 따라서 출력 캐퍼시터는 이러한 과도상태에 대해 조절해야 한다. 출력 전압 과도 응답과 출력 전압 리플 사이에는 트레이드오프가 있다. 따라서 이 두 가지 요소는 임의의 애플리케이션을 위해 균형이 맞아야 한다. 계산된 최소 캐퍼시턴스보다 최소한 20% 높은 출력 캐퍼시턴스를 선택하여 캐퍼시터 허용 오차를 고려하는 게 중요하다.

벡 컨버터 출력필터 설계는 출력 전류 리플, 출력 전압 리플, 출력 전압 오버슈트 그리고 피드백 루프의 과도 응답에 영향을 미친다. 이러한 부품 선택은 컨버터의 효율에 영향을 미치는데 동기식 벡 컨버터의 효율의 경우 출력 인덕터의 선택에 따라 크게 영향을 받는다. 따라서 출력 인덕터 값과 DCR값은 동기식 벡 컨버터의 성능에 많은 영향을 미친다.

요약

동기식 벡 컨버터의 출력단은 컨버터의 성능에 중대한 역할을 한다. 목표 리플 전류, 출력 리플 전압, 및 출력전압 오버슈트를 충족하기 위해서는 계산된 최소 인덕턴스와 캐퍼시턴스보다 크게 사용해야 한다. 특정 애플리케이션의 경우, 인덕터와 캐퍼시터를 선택할 때 추가적인 요인들도 고려해야 한다. 따라서 출력단은 임의의 애플리케이션 조건에 따라 최적 설계를 해야 한다. 인덕터 값은 컨버터의 효율 성능뿐 아니라 출력 리플 전류에 대해서도 많은 역할을 한다. 즉 출력 전압 리플은 출력 캐퍼시턴스가 높을수록 개선되며, 컨버터 효율은 사용된 인덕터의 DCR에 따라 좌우된다. 인덕턴스와 인덕터의 포화 전류 사이에는 트레이드오프가 있다. 그러므로 리플 전류 요건을 충족 또는 초과하기 위해서는 사용된 인덕턴스가 계산된 최소 인덕턴스보다 커야 하며 사용된 인덕터의 포화 전류도 최대 부하에서의 피크 전류보다 커야만 한다. 동기식 벡 컨버터의 성능에서 캐퍼시턴스도 중요한 역할을 한다. 출력 캐퍼시턴스는 출력에서 나타나는 전압 리플과 전압 오버슈트의 양에 직접적인 영향을 미친다. 그러나 캐퍼시턴스는 컨버터의 효율에 그리 큰 영향을 미치지 못한다. **SN**

온라인 세미나

eSeminar

반도체네트워크 홈페이지에서 다양한 온라인 강의를 보실 수 있습니다.

www.semiconnet.co.kr

