

在 USB 3.0 接口中管理 ESD 及维持信号完整性

安森美半导体应用工程师 Jeremy Correale

USB 3.0能够提供达5 Gbps的数据传输速率，比USB 2.0快10倍以上。这有利于满足消费者大幅增加的需求，以访问及分享视讯、音乐及相片等高质量内容。支持USB 3.0的芯片组已经缩减工艺几何尺寸及封装尺寸，从而可以达到如此高的数据传输速率，同时还配合开发更小、更低能耗、功能丰富的便携式多媒体产品。超快数据线路及小几何尺寸元件的结合，大幅增加了产品遭受静电放电(ESD)影响的风险。此文专门针对USB3.0接口审视ESD保护及阻抗匹配问题，以确保可靠、纯净的高速数据传输。

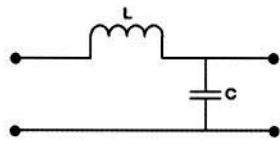


图1 无损传输线路等效电路图

为了使USB3.0支援5Gbps的数据传输速率，在旧的USB2.0数据对(D+和D-)基础上增加了两个差分数据对(超高速Tx及Rx)。此外，配合USB 3.0的芯片组以低至22nm的半导体工艺为基础。USB 3.0相对于USB 2.0传输的频率升高，催生了在超高速线路上布设

外部ESD保护元件时必须符合的严格阻抗匹配窗口。信号线路上增添任何少量的电容，都会改变阻抗，且因此降低数据传输的总体信号完整性。图1显示了无损传输线路的电路表征，其中额定阻抗表征为Z0。

$$Z_0 = (L/C)^{1/2} = \text{线路阻抗}$$

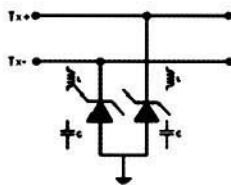


图2 ESD保护元件寄生元件模型

此传输线路模型能应用于几乎任何当今高速串联接口中存在的线路。此模型可以用于评估将ESD保护元件置于一或多条数据线路上的效应。在最基本的形式下，可以看到用以保护的数据线路的齐纳二极管形式的ESD保护元件。此二极管有相应的结电容，以及源自封装内部接合线(bond wire)的少量串联电感，而此串联电感会变成数据线路的寄生元件，如图2所示。由于ESD保护元件中典型接合线的感抗通常不高于1nH，而且ESD保护元件的电容必须不高于1pF，对于2.5GHz USB 3.0信号而言，图2中电感的阻抗将低于电容

的阻抗，在讨论中可以忽略此感抗。

随着数据线路上电压的变化，需要少量的电流来给寄生电容充电。在高频时，信号线路的电压迅速变化，此额外充电电流可能相当可观，因而降低了数据线路中流动的电流。此电流的降低导致数据线路阻抗轻微变化，影响它传输的功率总额。如果功率传输损耗过高，数据线路信号完整性就会出现下降。USB 3.0规格允许最大寄生电容为1.1pF(此值包含系统中在USB控制器外部的任何电容)。ESD保护元件的电容仅占系统外部电容中的一小部分。因此，当选择此类元件时，工程师应当始终谨记，保护元件的较低电容不仅维持数据线路的信号完整性，还使下行系统中能够有更大的电容预算。

几乎所有ESD保护元件供应商都会标示出1MHz时的结电容。但仅有少部分供应商也会标示更高频率时的结电容。为了最佳地表征高速应用中的实际元件电容，应当考虑在宽广频率范围测量电容。在USB 3.0中，这就等同于在2.5GHz基础频率及其7.5GHz三次谐波频率时进行测量。就像任何电容器一样，保护元件的电容值会随着工作频率

之变化而变化，原因就在于寄生阻抗，称作等效串联电容(ESR)。电容的阻抗在较低频率低ESR条件下会保持电容性，然后阻抗持续降低，直至达到电容谐振频率。一旦达到谐振，电容的阻抗将随着ESR的上升而变成电感性。

保护元件反射而导致的信号损耗是另一个重要参数——这通常表述为返回

损耗的形式。返回损耗测量的是入射波从待测元件反射所出现的能量损耗有多少。ESD保护元件的返回损耗越低，看到的反射就会越少——相当于更多的信号正在被传输。市场上的许多 ESD保护元件在高于5GHz频率时寄生电容可能会大幅升高，原因就是阻抗达到谐振并变为电感性。

对于工程师而言，理解对于数据线路阻抗通道有影响的ESD保护元件的关键参数至关重要。先进ESD保护元件与良好电路板布线技巧的组合，使工程师能够从在设计中整合受保护的USB 3.0接口而受益，而无须在信号完整性上折中。