

Design Corner

ESD PROTECTION

ESD protection tips to improve reliability

By Lon Robinson
Marketing Engineer
ESD Protection Diodes
ON Semiconductor Corp.
E-mail: lon.robinson@onsemi.com

As mobile products offer more functionality, they feature more I/O ports through which ESD can enter the system and disrupt or damage the IC. Furthermore, with the added features and integration of multiple functions, IC designs have become more sensitive to ESD. This has challenged designers to provide the most effective ESD protection to the IC as possible while minimizing board space and cost for additional protection devices.

When choosing the appropriate protection device for a circuit, the designer should consider several factors. The main function of ESD-protection diodes is to add reliability to a handheld product. The reliability that a protection part can provide is determined by how well the part protects a given application without disrupting the device's functionality over a long period of time. The most recognized waveform for defining a typical ESD event at the system level is the IEC61000-4-2 waveform, which is distinguished by its fast rise time of less than 1ns. The spec for this waveform calls out four levels for different ESD magnitudes. Most designers are required to qualify their products to the highest level, which is 8kV contact discharge.

When choosing a protection part for a circuit to increase reliability, the following questions would likely be asked: What are the capacitance requirement and ESD conditions for the line being protected? What voltage does the protection device clamp the ESD pulse to? How well will the part perform over a long period of time?

Device conditions

When determining an appropriate ESD-protection device, the first question that must be asked is: What is the speed of the line to be protected? For high-speed lines such as USB2.0, low-capacitance diodes are required to ensure that the integrity of the signal is not compromised. This article focuses on common

applications such as keypad, side key and power lines that have lower speeds and thus do not require low capacitance.

Many low-speed applications are exposed to the most severe ESD conditions. Applications like buttons are exposed to the highest number of ESD strikes, because they are touched most frequently through normal use compared to other portable devices' applications. These applications are also exposed most often to the most stringent ESD pulses. Additionally, as portable designs get smaller, buttons get closer to the IC, which allows ESD to get coupled into the circuit easier. For this harsh environment, it is crucial to use an ESD-protection device that offers sufficient clamping characteristics to ensure that the IC is not damaged. Due to space constraints, however, many designs don't have very much room for ESD-protection devices. Due to their small size and ESD-clamping capabilities, the two most commonly used solutions for ESD protection in low-speed lines are varistors and silicon ESD-protection devices.

When determining the best

protection device for an application, the designer must consider how low the ESD-protection device clamps an incoming ESD event. The purpose of an ESD-protection device is to reduce an 8kV IEC61000-4-2 contact input down to a safe voltage for the IC being protected. A lower clamping voltage translates to less energy getting through the IC and less chance of damage to the device being protected. A screenshot of the voltage waveform over a device with an ESD pulse input demonstrates the clamping characteristics of the device. The clamping voltage is the voltage at which the ESD waveform levels off after the protection device turns on. Note that for some devices, there is no distinctive level-off voltage. The area under the voltage waveform, however, is proportional to the amount of energy that the IC will be exposed to during an ESD event, so this is the most important factor when comparing two protection devices.

To compare the clamping characteristics of a silicon ESD-protection device and a varistor, one must choose two parts that

are targeted for equivalent applications. They must have similar package size, working voltages and a capacitance range suitable for the application. Currently, one of the most common package outline sizes and the smallest for a single line of ESD protection is the 0402 size device, which is approximately 1mm x 0.6mm. Most low-speed lines in portable applications are DC lines in the range of 0-5V, so they require a working voltage between 5-6V. For low-speed lines, a capacitance over 50pF is acceptable. Two parts that meet these requirements are an ESD-protection device from ON Semiconductor, the ESD9X5.0ST5G, and a varistor from Amotech, the AVLCS502100. Both come in the 0402 size outline, are over 50pF capacitance, and have a working voltage between 5-6V.

The best way to compare the performance of these devices is to look at their clamping characteristics when an IEC61000-4-2 8kV contact pulse is input to the parts.

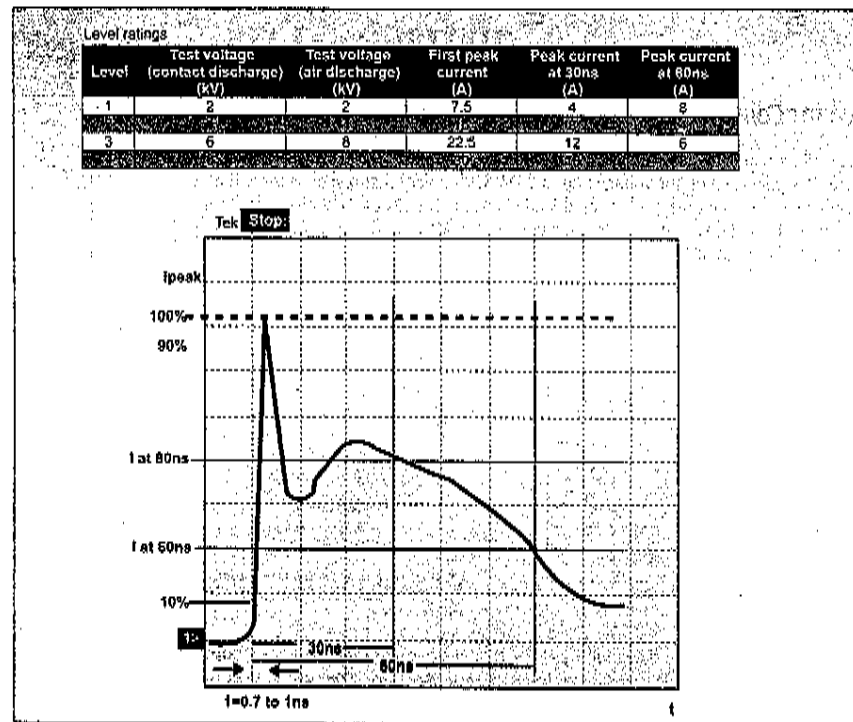
The silicon solution offers much lower clamping voltage for ESD pulses compared with

the varistor solution. The silicon device from ON Semiconductor clamps the ESD pulse just above and below the DC levels (0-5V) for the line at 6.8V for the positive pulse, and 1.6V for the negative pulse. The varistor device does not have a true clamping mechanism though. This technology has more of an absorbing effect, which is evident from the ESD-pulse response having a gradual decline to a safe level vs. the clamping effect of the silicon device. This slow decline allows for a greater area under the curve of the pulse, translating to more energy that the IC will see. This additional energy allowed by the varistor will pose a larger risk of damaging the IC than the silicon device.

Broader view

Most applications using low-speed lines are exposed to many ESD pulses on a daily basis during normal use. Because of this, it is important to select a protection device that will stand up to the many pulses without compromising the performance of the system. To avoid disrupting a system's functionality, an ESD device must not turn on during normal operation, but turn on very quickly when a destructive ESD pulse is introduced. To determine if a part is disrupting a system during normal operation, the device's leakage over multiple ESD pulses should be measured. To get a broader view of the varistors' performance, a second varistor company should be examined. Again, the comparison must include parts designed for equivalent applications with 0402 size outline, over 50pF capacitance and have a working voltage between 5V and 6V. Two parts that meet these requirements are the ESD9X5.0ST5G and an Innoschip varistor, the ICVN0505X150.

Both varistors and silicon ESD-protection devices reduce the amount of energy an IC will see from an ESD pulse. As designs become more sensitive, designers must add protection devices that clamp the ESD pulses to safer levels. Silicon ESD-protection devices offer the lowest clamping voltage compared with varistors and maintain the lowest leakage over many ESD strikes.



The most recognized waveform for defining a typical ESD event at the system level is the IEC61000-4-2 waveform, which is distinguished by its fast rise time of less than 1ns.

設計新技術

二極體

提高可靠性的ESD保護設計考量

Lon Robinson

ESD保護二極體市場行銷
工程師
安森美半導體

增加產品特性、減少產品尺寸一直是手持產品設計人員面臨的挑戰。當手機、數位相機、MP3播放器和PDA提供更多功能時，其I/O埠也隨之增多，導致靜電放電(ESD)進入系統並干擾或損壞積體電路。此外，由於特性的增加和功能整合，IC設計對ESD更加敏感。設計人員必須使IC盡可能提供最有效的ESD保護，同時還要讓額外的保護元件不佔用太多板級空間和成本。

設計人員為電路選擇合適的保護元件時有一些必須要考慮。ESD保護二極體的主要功能在於增加手持產品的可靠性。保護元件提供的可靠性需要對應元件的特定應用，而且不能夠干擾元件功能。公認的系統級ESD標準波形定義是IEC61000-4-2波形，其特點是快速上升時間小於1ns(如圖1所示)。此波形的規格需要四種不同的ESD水準。多數設計人員需對產品進行嚴格檢測，保證其接觸放電為8kV。

當設計人員為電路選擇保護元件以提高可靠性時，可能需要回答以下問題：

1. 電容器要求和所保護的線路ESD情況如何？
2. 保護元件箝位ESD脈衝的電壓是多少？
3. 元件的長期性能如何？
4. 電容器要求和所保護的線路ESD情況如何？

確定合適的ESD保護元件時，必須考慮的第一個問題是保護線路的電壓是多少？對高速線路如USB2.0，需要小電容器二極體確保無損訊號完整性。本文將專注於公共應用，如速度較低的鍵盤、側鍵和電源線，因此不討論小電容器。

許多低速應用受到最嚴重的ESD影響。按鈕等應用受

到的ESD衝擊最多，因為在正常使用中他們被觸控的頻率高於其它應用。因此，與可攜式元件上的其它應用相較，這些應用受到嚴格ESD脈衝的頻率較高。此外，當可攜式設計變得越來越小，按鈕越接近IC，ESD越容易與電路耦合。

對於這種惡劣的環境，採用提供足夠箝位特性的ESD保護元件，確保IC不受損是最重要的。但是因為空間受限，許多設計沒有容納ESD保護元件的足夠空間。因為它們的尺寸小和有限的ESD箝位功能，兩種在低速線路上最常用的ESD保護解決方案是壓敏電阻和矽ESD保護元件。本文將比較這兩種元件的差別。

保護元件箝位ESD脈衝電壓

確定特定應用的最佳保護元件時，設計人員必須考慮ESD保護元件箝位輸入ESD事件的方法。較小的箝位電壓在IC上通過的能量越小，受保護IC的損壞機率也越小。受ESD脈衝輸入的元件上電壓波形會顯示元件的箝位特性。箝位電壓的定義是保護元件啟動後，ESD波形電平關閉的電壓。一些元件並沒有明顯的電平關閉電壓，但電壓波形以下的面積與IC在ESD事件中受到的能量成正比，因此，在比較兩種保護元件時這是最重要的因素。

為了比較矽ESD保護元件和壓敏電阻的箝位特性，必須選擇兩種用於相同應用的元件。它們的封裝尺寸、工作電壓必須相似，而且電容器範圍須適合應用。目前最常見的封裝尺寸和最小的單線ESD保護是0402尺寸，面積約為1mm×0.6mm。可攜式應用中的多數低速線路是0~5V的直流線路，要求的工作電壓在5~6V之間。對於低速線路來說，電容器超過50pF是可以接受的。符合上述要求的兩個元件包括安森美半導體的ESD9X5.0ST5G ESD保護元件

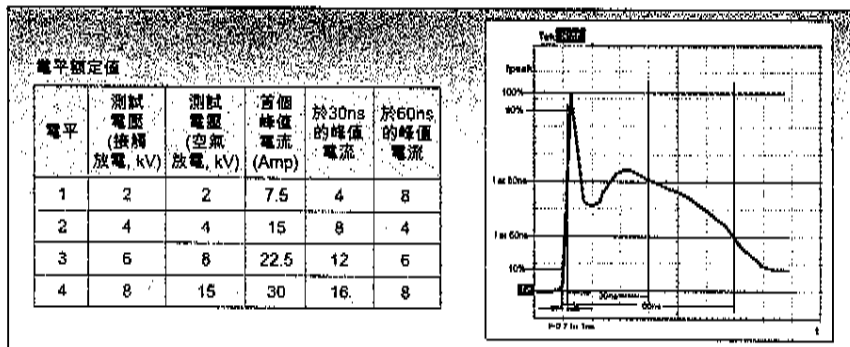


圖1：IEC61000-4-2波形，其特點是快速上升時間小於1ns。大多數的設計人員需要對產品進行嚴格檢測，保證其接觸放電為8kV。

和Amotech的AVLC5S02100壓敏電阻。以上兩種器件的尺寸都是0402，電容器超過50pF，並且工作電壓在5~6V之間。

比較這些元件性能的最好方法是在IEC61000-4-2 8kV接觸脈衝作為元件輸入時，觀察元件的箝位特性。圖2(詳見本刊網站)在同一張圖中顯示了每一個元件對於正負ESD脈衝產生的響應。

從圖2的螢幕截圖中可以看出，矽晶片解決方案(藍色波形)的ESD脈衝箝位電壓與壓敏電阻方案相較明顯低得多(黑色波形)。安森美的矽元件箝位ESD脈衝僅高於和低於直流電平(0~5V)，於線路的正脈衝為6.8V、負脈衝為1.6V。壓敏電阻元件沒有真正的箝位機制，但從ESD脈衝響應來看，此技術的吸收效應比矽元件的箝位效應更大，逐漸下降到安全電平。這種緩慢的下降可以使脈衝曲線下的面積更大，所以IC的能量更大。透過壓敏電阻得到的額外能量比採用矽元件而損壞IC的風險更大。

元件的長期性能

大多數採用低速線路的應用每天在正常使用中都承受著許多ESD脈衝。因此，選擇可以承受許多脈衝而不影響系統性能的保護元件相當重要。為了讓ESD元件不干擾系統功能，它不能在正常工作中導通，但當產生破壞性的ESD脈衝時則須

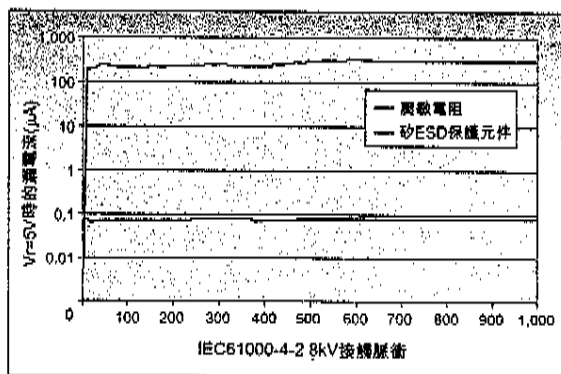


圖3：使用壽命測試結果。

快速導通。要測試元件在正常工作中是否會干擾系統，必須測試元件在多個ESD脈衝後的漏電。為獲得壓敏電阻性能的整體評估，必須檢測第二家公司的壓敏電阻，且比較時必須包括為相似應用設計元件，它們具有0402尺寸，電容器超過50pF，工作電壓在5~6V之間。兩個滿足上述要求的元件是安森美的ESD9X5.0ST5G ESD保護元件和Innochip的壓敏電阻IC:VN0505X150。

圖3顯示了使用壽命測試結果，其中依照IEC61000-4-2 8kV接觸輸入在 $V_t=5V$ 時的漏電測試，記錄了超過1,000次ESD脈衝。

壓敏電阻和TVS解決方案在沒受到任何ESD脈衝前，最初的漏電非常小(小於0.1μA)。在前10個脈衝的時候，漏電中有一個大突波讓壓敏電阻超過100μA，然後在每個脈衝中繼

慢增大。這是因為壓敏電阻技術吸收更多的ESD脈衝，使之隨著每次衝擊而品質下降。當漏電增加時，因為正常功能被干擾或電池壽命縮短，提高了系統可靠性故障的風險。但是安森美的矽元件無需吸收即可箝位脈衝，因此即使1,000個脈衝，品質也不會下降，使漏電低於0.1μA。在很多個衝擊中這種低漏電降低了在產品壽命出現品質問題的風險。

整體而言，壓敏電阻以及矽ESD保護元件減少了IC在ESD脈衝中的能量。當設計變得越敏感時，設計人員就必須增加保護元件，以箝位ESD脈衝到更安全的電平。與壓敏電阻相較，矽ESD保護元件所供的箝位電壓更低，而且在受到許多ESD衝擊時能保持最小漏電。對於可靠性要求高的設計而言，矽ESD保護元件將提供最有效的解決方案。

提高可靠性的ESD保护考虑

Lan Robinson

ESD保护二极管市场营销
工程师
安森美半导体

增加产品特性、减小产品尺寸一直是手持产品的设计人员所面临的挑战。当手机、数码相机、MP3播放器和PDA等产品提供更多的功能时,它们的I/O端口也随之增多,导致静电放电(ESD)进入系统并干扰或损坏集成电路。此外,由于特性的增加和多功能的集成,IC设计对ESD更加敏感。设计人员须应对此挑战,使IC尽可能提供最有效的ESD保护,同时还要为额外的保护元件减小占板空间和成本。

设计人员为电路选择合适的保护元件时必须做出一些考虑。ESD保护二极管的主要功能在于增加手持产品的可靠性。保护元件可提供的可靠性由长时间内元件保护特定应用,并参考其不干扰器件功能的程度来确定。公认的波形定义系统级典型ESD事件是IEC-61000-4-2波形,其特点是快速上升时间小于1ns(图1)。此波形的规格需四个不同的ESD幅度水平。多数设计人员需要对产品进行最严格的检测,保证其接触放电为8kV。

当设计人员为电路选择保护元件,提高其可靠性时,可能需要回答以下问题:1. 电容要求和所保护的线路ESD情况如何? 2. 保护器件钳制ESD脉冲的电压是多少? 3. 器件的长期性能如何?

电容要求和所保护的线路ESD情况如何?

确定合适的ESD保护器件时,必须考虑的第一个问题是保护线路的速度是多少?对于高速线路(如USB2.0)需要小电容二极管确保无损信号的完整性。本文将专注公共应用(如速度较低的键盘、侧键和电源线),因此不需要小电容。

许多低速应用受到最严重的ESD情况影响。按钮等应用受到的ESD冲击最多,因为在正常使用中他们被触摸的频率高于其它应用。因此,与便携式器件上的其它应用相比,这些应用受到最严格ESD脉冲的频率较高。此外,当便携式设计变得越来越小、按钮越接近IC,ESD越容易与电路耦合。对于这种恶劣的环境,采用提供足够钳制特性的ESD保护器件,确保IC不受损是最重要的。但是因为空间受限,许多设计没有容纳ESD保护器件的足够空间。因为它们的尺寸小和有限的ESD钳制功能,两种在低速线路上最常用的ESD保护解决方案是压敏电阻器和硅ESD保护器件。本文将比较这两种器件的差别。

保护器件钳制ESD脉冲的电压是多少?

确定特定应用的最佳保护器件时,设计人员必须考虑ESD保护器件钳制输入ESD事件的方法。ESD保护器件的目的是降低8kV IEC61000-4-2接触输入到所保护IC的安全电压。较小的钳制电压在IC上通过的能量越小,对受保护的IC损坏的几率也越小。受到ESD脉冲输入的器件上的电压波形显示了器件的钳位特性。钳位电压定义为保护器件启动后ESD波形电平关闭的电压。注意到对于一些器件没有明显的电平关闭电压。但是电压波形以下的面积与IC在ESD事件中受到的能量成正比,因此在比较两种保护器件时这是最重要的因素。

为了比较硅ESD保护器件和压敏电阻器的钳位特性,必须选择两种用于相同应用的元件。它们的封装尺寸、工作电压必须相似,而且电容范围须适合应用。目前,最常见的封装尺寸和最小的单线ESD保护是0402尺寸的器件,面积大约为1mm×0.6mm。便携式应用中的大多数低速线路是0~3V范

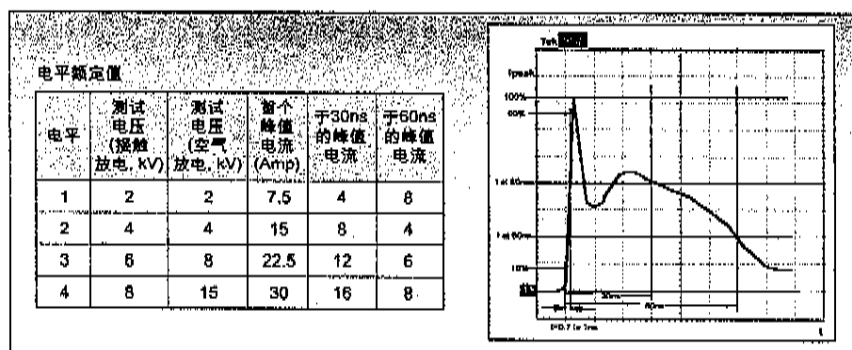


图1: IEC61000-4-2波形,其特点是快速上升时间小于1ns。

围内的直流线路,因此它们要求的工作电压在5~6V之间。对于低速线路来说,电容超过50pF是可以接受的。符合上述要求的两个元件包括安森美半导体的ESD9X5.0ST5G ESD保护元件和Amotech的AVLC5S02100压敏电阻器的压敏电阻器。两者的尺寸都是0402,电容超过50pF,而且工作电压在5~6V之间。

比较这些器件性能的最好方法是在IEC61000-4-2 8kV接触脉冲做为器件输入时,观察元件的钳位特性。图2(详见本刊网站)显示了每个元件对于正负ESD脉冲的响应。

从图2的屏幕截图得出,硅解决方案(蓝色波形)的ESD脉冲钳位电压与压敏电阻器解决方案相比明显低得多(黑色波形)。安森美的硅器件钳制ESD脉冲仅高于和低于直流电平(0~5V),干扰线的正脉冲为6.8V、负脉冲为1.6V。压敏电阻器没有真正的钳位机制,但从ESD脉冲响应来看,此技术的吸收效应比硅器件的钳位效应更大,逐渐下降到安全电平。这种缓慢的下降可以使脉冲曲线下的面积更大,所以IC的能量更大。通过压敏电阻器得到的额外能量比采用硅器件而损坏IC的风险更大。

器件的长期性能如何?

大多数采用低速线路的应用每天在正常使用中都受到许多ESD脉冲。则选择可承受许多

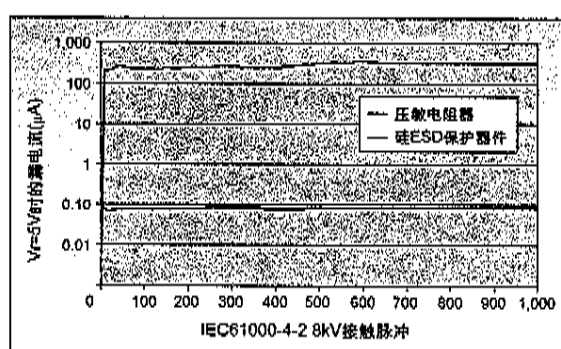


图3: 终生寿命测试结果示意图。

脉冲而不影响系统性能的保护器件很重要。为了让ESD器件不干扰系统功能,它一定不能在正常工作中导通,但当产生破坏性的ESD脉冲时会快速导通。测试元件在正常工作中是否会干扰系统,必须测试器件在多个ESD脉冲后的漏电。为获得压敏电阻器性能的总体看法,须检测第二家公司的压敏电阻器。且比较时必须包括为相似应用设计的元件,它们具有0402尺寸,电容超过50pF,工作电压在5~6V之间。两个满足上述要求的元件包括安森美的ESD9X5.0ST5G ESD保护器件和Innochip的压敏电阻器ICVN0505X150。

图3显示终生寿命测试结果,按照IEC61000-4-2 8kV接触输入在 $V_r=5V$ 处的漏电测试录得超过1,000次ESD脉冲。

压敏电阻器和TVS解决方案在未受到任何ESD脉冲前,开始的漏电小($<0.1\mu A$)。在前10个脉冲,漏电中有一个大毛

刺让压敏电阻器超过 $100\mu A$,然后在每个脉冲中缓慢增大。这是因为压敏电阻器技术吸收更多的ESD脉冲,使之随着每次冲击而质量下降。当漏电增加时,因为正常功能被干扰或电池寿命缩短,提高系统可靠性故障的风险。但安森美半导体的硅元件无需吸收即可钳制脉冲,因此即使1,000个脉冲,质量也不会下降,使漏电低于 $0.1\mu A$ 。在很多个冲击中这种低漏电降低了在产品寿命中出现质量问题的机会。

总之,压敏电阻器和硅ESD保护器件减小了IC在ESD脉冲中的能量。当设计变得敏感时,设计人员就必须增加保护器件,以钳制ESD脉冲到更安全的电平。硅ESD保护器件与压敏电阻器相比所提供的钳位电压更低,而且在受到许多ESD冲击时能够保持最小的漏电。对于可靠性要求高的设计来说,硅ESD保护器件将提供最有效的解决方案。

디자인 코너

핸드폰 메모리

휴대 장치의 패키징 문제, PoP 솔루션으로

By Vijay Malhi

Regional Marketing Director

Memory Product Group Asia Pacific

STMicroelectronics

E-mail: vijay.malhi@st.com

멀티칩 패키지(MCP)는 간수족 줄어드는 공간 속에 더 많은 성능과

기능들을 집어넣어야 하는 필요성에 오래 전부터 부응해왔다. 메모리 MCP의 확장들이 베이스밴드나 멀티미디어 프로세서와 같은 ASIC들을 포함하는 것도 자연스러워 보인다. 그러나 여기서 우리는 개발 및 소유/측소 비용이라는 어려움에 직면하게 된다. 이러한 문제들을 어떻

게 다뤄야 할까? 그래서 오늘날에는 PoP(package-on-package) 개념이 널리 수용되고 있다.

하나의 패키지 안에 다수의 플래시 NOR와 NAND를 RAM과 함께 결합시켜 놓는 복합 메모리(플래시와 RAM) 제품들은 셀룰러폰 어플리케이션에 널리 사용되고

있다. 이러한 단일 패키지 솔루션들은 MCP, SIP(system-in-package) 및 MCM(multichip module)이 있다.

셀룰러폰 어플리케이션의 MCP는 이제 높은 비교적 저밀도의 결합으로 여겨지게 된 8메가비트 플래시와 2메가비트 SRAM 같은 더 바이스들을 결합시키면서 시작되었다. 셀룰러폰의 메모리 요구가 커짐에 따라, 플래시 밀도에는 NAND의 도입으로 증가했으며, SRAM은 PSRAM(pseudo SRAM)에 의해 대체되었다.

간수족 작아지는 셀룰러폰 안에 더 많은 기능들이 요구되기 때문에 MCP가 필요해지고 있다. 그러나 성능은 향상되면서 작은 크기를 유지하기 위한 솔루션을 개발하는 것은 추가적인 문제점들이 따른다. 크기와 성능은 셀룰러폰의 베이스밴드 칩셋이나 멀티미디어 코프로세서 개발사 문제가 된다. 이 같은 경우, SDRAM과

DDR(double data rate) 인터페이스를 갖춘 MCP가 사용된다.

SoC의 기본 개념은 동일한 실리콘 안에 더 많은 컴포넌트들을 통합시켜 크기와 비용을 줄이면서도 성능을 향상시키는 것이다. 그러나 제품 수명이 짧고 비용경쟁이 극심한 셀룰러폰 시장에서 SoC 솔루션은 한계를 갖는다. 대량의 보직이 다양한 종류의 메모리와 함께 필요한 메모리 구성의 관점에서 볼 때, 서로 상이한 설계 및 기술 방식들을 마스터 하거나 여러 원소서, 어플리케이션이 요구하는 개발 시간과 융통성에 영향을 미칠 수 있다.

실리콘의 관점에서 볼 때, 기본 컴포넌트들을 분리시키면서도 상이한 기술로 제조하게 되면 이러한 문제점을 해결할 수 있을 것이다. 메모리와 ASIC은 동일 패키지에 포함된다. 그러나 신경 써야 할 주요 분야 두 가지가 있는데, 수율

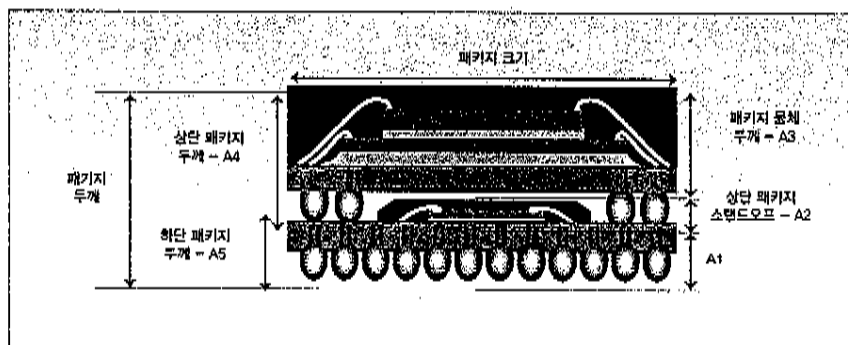


그림 1: 상단 패키지의 솔더볼들은 하단 패키지의 핀들 패드에 직접 본딩된다. 하단 패키지는 대개 ASIC 베이스밴드나 멀티미디어 프로세서를 포함하고 있다. 상단 패키지는 대개 메모리 디바이스들의 조합(플래시와 RAM)을 포함하고 있다.

OLED

핸드헬드 장치용 수동 OLED의 전력공급

By Joon Park

Business Manager

Display Products

Intersil Corp.

OLED는 디스플레이의 혁신을 가져올 부상일로의 기술로서, LCD에 비해 여러 가지 이점들을 제공하고 있다. 제조의 용이성, 보다 빠른 응답 시간, 보다 넓은 시야각, 보다 적은 전력소모 그리고 보다 밝고 콘트라스트가 높은 이미지가 그 같은 장점들이다. 게다가 OLED는 자체발광 기능을 가지므로 백라이트가 필요 없다. 이는 전력을 절감해줄 뿐만 아니라 1밀리 두께의 디스플레이를 만들 수 있도록 해준다.

LCD와 비슷하게 OLED 역시 수동 매트릭스와 능동 매트릭스의 두 가지 구성 방법이 있다. 그러나 LCD와는 달리, OLED는 전류 구동 방식이다.

전력공급

전력소모는 포터블 어플리케이션의 OLED 디스플레이에 있어서 매우 중요한 요소이다. 전력에 대

한 요구는 여러 가지 요소들에 좌우된다. 디스플레이가 전류 구동 방식이므로, 최고전류 요건은 한 번에 조명해야 하는 전체 픽셀 수와 이들을 구동할 수 있는 최대 전류에 달려 있다. 디스플레이 구동 전자 장치들도 추가로 전류를 소모한다. 필요한 전류는 다이오드들의 순방향 강하와 디스플레이(저항성이 상당히 커지는 경향이 있는) 내의 인터커넥트 양단간 강하, 그리고 디스플레이 드라이버에 필요한 모든 강하에 좌우된다(그림).

이 같은 어플리케이션에서, 필요한 최대 전압은 다음 등식으로 구할 수 있다:

$$V_{in} = V_{diode} + I_{1pt} * (R_{col} + R_{row}) + V_{on} + V_{ra}$$

여기서 V_{1pt} 는 다이오드의 순방향 강하이고, I_{1pt} 는 다이오드의 전류이며, R_{1pt} 는 칼럼 커넥션의 저항, R_{row} 는 로 금속배선의 저항, V_{on} 는 칼럼 드라이버에 필요한 오버헤드이며, V_{ra} 는 로 드라이버에 필요한 오버헤드이다.

전형적인 어플리케이션에 있어서 V_{in} 은 20V 정도가 된다.

최고 전류 다음 등식으로 구할 수 있다:

$$I_{diode} * X_{pixels} + I_{cd} + I_{rd}$$

여기서 X_{1pt} 는 한번에 발하게 되는 픽셀 수이고, I_{cd} 는 칼럼 드라이버에 대한 서플라이 전류이며, I_{rd} 는 로 드라이버에 대한 서플라이 전류이다.

백라이트가 없으므로 OLED 디스플레이는 대개 일정기간 사용되지 않으면 흐려지다가 얼마 후에는 꺼진다. 등식 1은 디스플레이의 전류가 줄어들면 필요한 최대 전압도 낮아짐을 보여준다.

특히 포터블 어플리케이션의 PMOLED 디스플레이에 전력을 공급하기 위한 여러 가지 디바이스들이 현재 시판되고 있다. 이러한 디바이스는 매우 효율적인 부스트 컨버터는 물론, 속속부터 디스플레이의 기능과 낮은 대기 전류를 가져야만 한다. 또한 외부 부품 수가 적고 사이즈가 작아야 한다.

ESD 보호

ESD 보호 통한 핸드헬드 제품의 신뢰성 향상

By Lon Robinson

ESD Protection Diodes Marketing Engineer

ON Semiconductor Corp.

E-mail: Lon.Robinson@onsemi.com

핸드헬드 제품 디자이너들은 제품 크기는 줄어들면서 기능은 추가해야 하는 문제에 직면하고 있다. 휴대폰, 디지털 카메라, mp3 플레이어, PDA와 같은 제품들에 제공하기 위해 정전기에 노출된 출력 핀들이 증가함에 따라, 정전기 방전(ESD: Electro-static-discharge)의 발생으로 IC의 동작을 중단시키거나 손상시키는 입출력 포트가 점점 더 많아지고 있다. 또한 추가 기능과 다중 기능 통합에 따라 IC 설계는 ESD에 더욱 민감해지게 되었다. 이러한 점은 추가 보호 디바이스를 위한 보다 공간과 비용은 최소화하면서 IC에 대해 가능하면 가장 효과적으로

ESD를 방지해야 하는 문제점을 안겨 주고 있다.

디자이너가 회로에 대한 적절한 보호 디바이스를 선택할 때 고려해야 할 사항이 몇 가지 있다. ESD 방지 다이오드의 주요 기능은 핸드헬드 제품에 대한 신뢰성을 높이는 것이다. 보호 디바이스가 제공할 수 있는 신뢰성은 그 제품의 기능을 중단시키지 않고 장기간 얼마나 잘 보호하느냐에 달려 있다. 시스템 레벨에서 일반적인 ESD 이벤트를 정의하기 위한 가장 잘 알려진 파형은 1 나노초 미만의 빠른 상승 시간으로 식별되는 IEC61000-4-2 파형이다(그림 1). 이 파형의 사양은 4 레벨의 ESD를 갖는다. 대부분의 디자이너들은 최고 레벨인 8kV 접촉 방전까지 제품을 확인해야 한다.

디자이너는 신뢰성을 향상시키기 위해 회로 보호 부분을 선택 가능하면 가장 효과적으로

니사인 코너

ESD 보호 통해 핸드헬드 제품의 신뢰성 향상시키는 방법

▶ 49 쪽에서

택할 때 다음과 같은 질문을 할 수 있다:

1. 보호되는 라인에 대한 캐패시턴스 요건과 ESD 조건은 무엇인가?
2. 보호 다이아이스는 ESD 펄스를 몇 볼트로 제한하는가?
3. 보호 다이아이스가 장기간에 걸쳐 얼마나 잘 동작하는가?

ESD 조건

직접한 ESD 보호 다이아이스를 결정할 때 가장 먼저 해야 할 질문은 보호할 라인의 속도가 어느 정도인가 하는 것이다. USB 2.0과 같은 고속 라인의 경우, 캐패시턴스가 낮은 다이오드들이 신호의 무결성을 떨어뜨리지 않도록 해야 한다. 여기서는 속도가 보다 낮아서 낮은 캐패시턴스를 필요로 하지 않는 키 패드, 사이드 키 및 파워 라인들과 같은 일반 어플리케이션들에 초점을 맞추고자 한다.

많은 저속 어플리케이션들이 가장 심각한 ESD 상태에 노출되어 있다. 버튼과 같은 어플리케이션들은 가장 많은 ESD 충격에 노출되는데, 이는 이들이 다른 포터블 다이아이스들의 어플리케이션에 비해 정상 사용시 가장 빈번하게 만져지기 때문이다. 게다가 포터블 디자인들이 작아짐에 따라 버튼들은 IC에 더욱 가까워져 ESD가 회로에 보다 쉽게 발생하게 된다. 이처럼 혹독한 환경에서는 IC가 손상 받지 않도록 해줄 정도의 제한 특성을 제공하는 ESD 보호 다이아이스를 사용해야만 한다. 그러나 공간의 제약 때문에 많은 디자인들은 ESD 보호 다이아이스를 탑재할 공간이 별로 없다. 작은 크기와 ESD 제한 능력 덕분에 저속 라인에서 ESD 보호를 위해 가장 흔히 사용되는 솔루션 두 가지는 배리스타와 실리콘 ESD 보호 다이아이스들이다. 여기서는 이 두 어플리케이션 간의 차이점을 비교해 보자.

제한 전압

주어진 어플리케이션에 최상의 보호 다이아이스를 결정할 때, 디자인은 ESD 보호 다이아이스가 유입되는 ESD 이벤트를 어느 정도까지 낮게 제한해야 할 지를 고려해야만 한다. ESD 보호 다이아이스의 목적은 8 kV IEC61000-4-2 접촉 임펄스를 보호하려는 IC에 안전한 전압까지 낮추는 것이다. 제한된 전압은 IC를 통과하는 에너지를 줄이고, 보호하려는 IC의 손상 위험을 낮춘다. ESD를 제

한하는 전압 파형 화면은 그 제품의 제한 특성을 보여준다. 제한 전압은 보호 다이아이스가 동작한 후 ESD 파형 레벨이 떨어지는 전압으로 정의된다. 일부 다이아이스의 경우에는 뚜렷한 전압 감소가 없음에 유의하자. 그러나 전압 파형 아래의 면적은 IC가 ESD 이벤트시에 노출되는 에너지 양에 비례하므로, 이것이 두 개의 보호 다이아이스를 비교할 때 가장 중요한 요소이다.

실리콘 ESD 보호 다이아이스와 배리스타의 제한 특성들을 비교하려면 등가의 어플리케이션을 겨냥한 두 부분을 선택해야만 한다. 이들은 유사한 패키지 크기와 동작 전압, 그리고 그 어플리케이션에 적합한 캐패시턴스 범위를 가져야만 한다. 현재, 가장 일반적인 패키지 아웃라인 크기에 한하여 단일 라인의 ESD 보호를 위한 가장 작은 패키지는 0402 사이즈의 다이아이스로서, 대략 1밀리×0.6밀리의 크기이다. 포터블 어플리케이션에서 대부분의 저속 라인들은 0~5V 범위의 DC 라인들이므로, 이들은 5~6 V의 동작 전압을 필요로 한다. 저속 라인의 경우, 50 pF 이상의 캐패시턴스가 적당하다. 이러한 요건을 충족시켜주는 두 가지가 ON Semiconductor사의 ESD 보호 다이아이스인 ESD9X5.0ST5G와 Amotech사의 배리스타인 AV-LC5802100이다. 두 제품 모두 0402 크기의 아웃라인을 가지며, 50 pF 이상의 캐패시턴스와 5~6 V의 동작 전압을 갖는다.

이들 다이아이스들의 성능을 비교하는 최상의 방법은 IEC61000-4-2 8kV 콘택트 펄스를 이들에게 입력했을 때 그 제한 특성들을 살펴보는 것이다. 그림 2는 양과 음의 ESD 펄스에

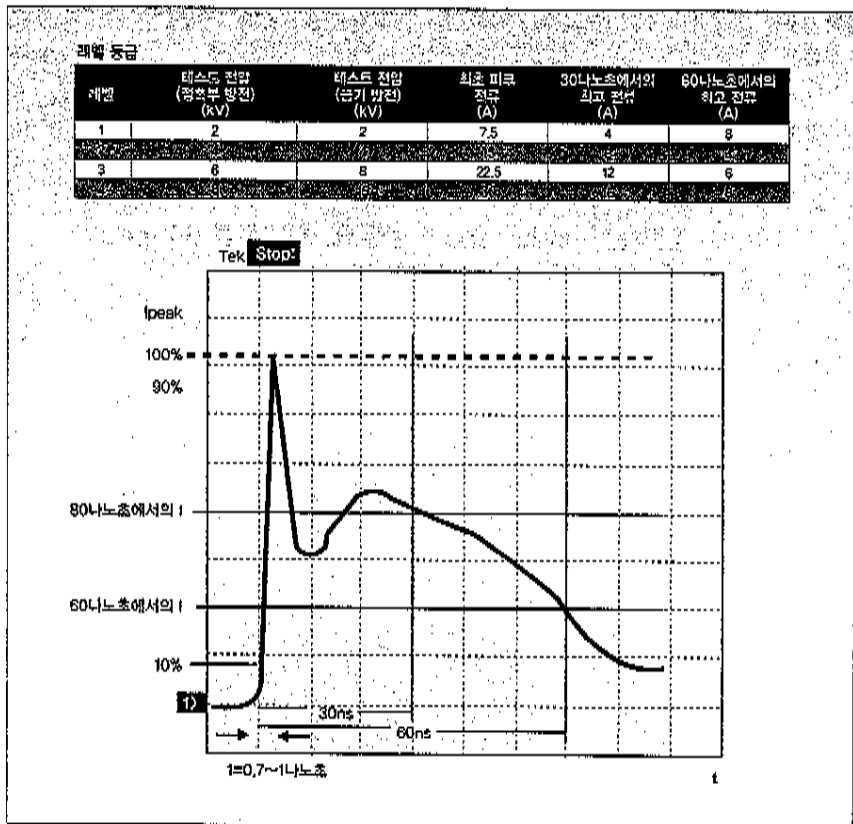


그림 1: 시스템 레벨에서 전형적인 ESD 이벤트를 정의하기 위해 가장 널리 알려져 있는 파형은 IEC61000-4-2 파형으로서, 이것은 1나노초 미만의 매우 빠른 상승 시간으로 구별할 수 있으며 4 레벨의 ESD를 갖는다.

대한 각 제품의 응답을 동일 그래프 상에 보인 것이다.

실리콘 솔루션(청색 파형)은 배리스타 솔루션(홍색 파형)에 비해 ESD 펄스에 대해 훨씬 더 낮은 제한 전압을 제공한다. ON Semiconductor사의 실리콘 다이아이스는 양의 펄스에 대해서는 6.8 V 라인, 그리고 음의 펄스에 대해서는 1.6 V 라인의 DC 레벨(0~5 V) 바로 위와 아래에서 ESD 펄

스를 제한한다. 그러나, 배리스타 다이아이스는 진정한 제한 매커니즘을 갖고 있지 않다. 이 기술은 흡수 효과에 좀더 가까운데, 이는 ESD 펄스 응답이 안정한 레벨로 점차 감소하는 데서 분명히 알 수 있다. 이에 비해 실리콘 다이아이스는 제한 효과에 가깝다. 이처럼 완만한 감소 덕분에 펄스 폭이 아래에 더 커다란 면적이 허용되므로, IC에는 더 많은 에너지가 통과하

게 된다. 배리스타로 인해 허용되는 이 같은 추가 에너지는 실리콘 다이아이스보다 IC를 손상시킬 위험이 더욱 커진다.

폭넓은 시작

저속 라인을 사용하는 대부분의 어플리케이션들은 정상사용시 일상적으로 많은 ESD 펄스에 노출되어 있다. 이 때문에 시스템 성

60 쪽으로 ▶

핸드헬드 장치용 수동 OLED 디스플레이의 전력공급

▶ 52 쪽에서

다이아이스들을 외부 클럭에 동기화시킬 수 있는 능력은 제품 디자인이 더 모든 클럭들을 하나의 주파수에 고정시킴으로써 이러한 문제들을 줄일 수 있도록 해준다. 이러한 것들이 문제 되지 않는 어플리케이션들의 경우에는 파워가 자체 클럭킹 기능을 수행할 수도 있어야 한다. 1MHz 범위의 높은 클럭 주파수들은 대개 부품 크기는 작으면서도 최상의 효율을 제공한다. 효과적인 IC는 1MHz에서 셀프 클럭킹을 수행할 수 있으며, 이

러한 클럭은 동기화 입력 핀에 연결시키는 것만으로 600kHz에서 1.4MHz 사이의 외부 클럭에 손쉽게 동기화 할 수 있다.

소프트 스타트 제어 기능

파워 IC가 처음 동작하기 시작할 때 시스템 내의 콘덴서를 충전하는데 필요한 전류는 상당한 입력 전류가 요구할 수 있다. 이러한 전류가 너무 높다면 배터리 전압이 떨어져 시스템 내의 다이아이스들이 리셋 상태로 들어거나 불규칙한 동작을 보일 수 있다.

배터리 수명을 보다 향상시키기 위해 공한형 디스커넥트 스위치들 부스트 회로의 입력 측에 놓으면 커다란 이점을 누릴 수 있다. 다이아이스가 디스에이브 될 경우에는 이 스위치가 열려 OLED 디스플레이와 드라이버 및 피드백 네트워크의 연결을 끊어 어떠한 누설 전류도 흐를 수 없게 된다. 이 파워단은 모드에서는 내부 IC의 전력 소모도 최소한도로 줄여준다.

다이아이스가 인에이블 되고 부하가 입력에 연결되면 입력에서 출력으로 DC 전압이 생성되어, 출력

캐패시턴스가 충전됨에 따라 커다란 전류 스파이크가 흐를 수 있다. 디스커넥트 스위치는 소프트 스타트 모드도 갖추으로써, 출력 캐패시턴스가 충전되는 동안 전류가 제한되도록 해야 한다.

OLED 디스플레이는 특정한 파워 IC에 대한 필요성을 가져오고 있다. Intersil사의 ISL97702와 같은 많은 새로운 IC들이 소프트 스타트 제어 기능과 입력전압 디스커넥트 그리고 어플리케이션에 이상적인 기타 기능들을 제공하고 있다.

디자인 코너

애플

RF LMDOS 이용한 발룬 통합형 파워 앰프의 설계

By Gerard Bouisse

Senior High Power RFIC Designer

Freescale Semiconductor Inc.

E-mail: gerard.bouisse@freescale.com

많은 RF IC 제조업체들이 최근 LDMOS(laterally diffused metal oxide semiconductor)를 이용한 통합형 파워 앰프를 선보이고 있다. 이 모든 컴포넌트들은 좁은 대역의 증폭을 겨냥하고 있기 때문에 싱글엔드 토폴로지를 갖는다.

LDMOS 기술의 특징 가운데 하나는 수십 mΩ-cm 수준의 매우 낮은 저항성을 갖는 기판을 사용한다는 것이다. 이러한 특징은 소스 접지를 위한 트랜지스터의 관점에서는 매우 바람직한 것이지만, 입력 및 전송선로와 같이 품질 요소가 매우 낮다는 문제가 있는 수동 부품의 측면에서는 심각한 골치거리가 아닐 수 없다. 여기에서는 일반적으로 종래의 5μm 센트 상대 대역폭을 갖는 싱글엔드 파워 앰프보다 넓은 대역을 가지며 LDMOS 기술에서 입력 발

룬 회로에 특히 중점을 두고 주파수 구조를 사용하는 앰프의 설계에 대해 살펴보자.

발룬 디자인

발룬의 목표 대역은 1.8~2.7GHz로서, 적절한 전폭 및 위상 불균형은 갖는다. 또한 2단 LDMOS RFIC(25dB)을 위한 합리적 이득의 달성으로 삽입손실 호환성을 갖는다.

전폭과 위상 불균형이 주파수와 위 앰프의 전력 손실에 미치는 영향을 고려해 보자.

$V_1(t)$ 와 $V_2(t)$ 의 두 신호를 발룬의 균형 포트에 인가하고, 그 결과로 나타나는 신호 $V(t)$ 를 불균형 포트의 출력에 인가한다고 가정하면,

위상 불균형 :

$$V_1(t) = V \cos(\omega t)$$

$$V_2(t) = V \cos(\omega t + \Delta\pi)$$

따라서 $V(t) = 2V \cos(\Delta\pi/2) \cos((2\omega t + \Delta\pi)/2)$ 이다.

또한 위상 불균형으로 인한 전력 손실은 $\cos^2(\Delta\pi/2)$ 이다.

전폭 불균형 :

$$V_1(t) = V_1 \cos(\omega_1 t)$$

$$V_2(t) = V_2 \cos(\omega_2 t)$$

따라서 $V(t) = (1+V_1/V_2) \cos(\omega t)$ 이다.

또한 전폭 불균형으로 인한 전력 손실은 $(V_2/V_1)^2$ 이다.

이와 같이 전폭 불균형은 위상 불균형보다 훨씬 더 큰 영향을 미친다.

여러 능동 회로들을 고려했는데, 그러한 회로들 가운데 일부가 브레이크와 소스, 그리고 차동 쌍 사이에 "자연스러운" 아웃페이징을 사용하는 회로들이다. 문제의 주파수의 경우, 오늘날 시판되는 RF LDMOS 트랜지스터는 불균형이라는 측면에서 충분한 성능을 갖고 있지 못한다. 이는 주로 과도한 기생 캐패시턴스 때문이다.

수동형 구조 가운데 여러 회로들이 시뮬레이트 되었으며, 이들 가운데 일부(일차 레티스 발룬과 같은)는 대역폭 성능이 충분치 않아 되려 잘못 맞았다. 그럼에도 불구하고 이들 가운데 두 가지, 즉 2차 레티스 발룬과 Marchand 발룬은 고려 대상이 되었다.

전자는 두 경로가 각각 $\pm 90^\circ$ 의 위상 변화를 가지며 이는 로패스 및 하이패스 네트워크를 통해 달성된다는 원리를 토대로 한다. 후자는 전송선로들 사이의 수직 결합을 사용하며, 균형 잡힌 쪽의

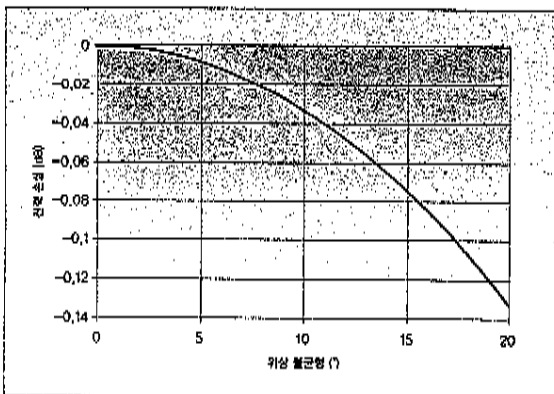
반대 전류 흐름이 180도의 광대역 위상 변화폭 야기한다.

레티스 발룬은 종래의 통합형 입력과 콘덴서로 실현되며, Marchand 발룬은 상이한 금속 배선 층들 위의 마이크로스트립 선로들 간의 결합을 이용한다.

레티스 발룬은 종래의 회로 시뮬레이터로 시뮬레이트 되는 반면, Marchand 발룬은 2.5D 전자기 시뮬레이션을 필요로 했다.

실험 결과

두 회로는 독립적 3포트 네트워크로서 측정되었으며, 삽입 손실을 측정하기 위해 직렬로도 측정되었다. 측정 결과, 2차 레티스 발룬은 1.7~2.7GHz 대역에서 좋은 성능을 보여줘 전폭 불균형은 0.2dB, 위상 불균형은 5° 그리고 손실은 2dB 정도였다. Marchand 발룬은 1.7~4GHz의 더욱 넓은 대역폭을 가지며, 전폭 불균형은 0.4dB/0.5dB, 위상 불균형은 6° 그리고 손실은 4.5dB이다. 이례한 삽입손실 수치는 상응하는 반절연체나 유전체물보다는 훨씬 높지만, 이러한 성능 수준은 25dB 이상의 2단 LDMOS MMIC(발은 통합을 포함한다)의 디자인과 높은 호환성을 유지한다.



전폭과 위상 불균형이 주파수 파워 앰프의 전력 손실에 미치는 영향

ESD 보호 통해 핸드헬드 제품의 신뢰성 향상시키는 방법

▶ 56 쪽에서

능을 떨어뜨리지 않으면서도 많은 ESD 펄스들을 견딜 수 있는 보호 디바이스를 선택해야만 한다. 시스템 기능을 중단시키는 일이 없도록, ESD 디바이스는 정상적인 동작시에 저지르면 안되며, 파괴적인 ESD 펄스가 들어올 때는 매우 신속하게 꺼져야 한다. 한 파드가 정상 동작시에 시스템을 중단시키는지 알아내기 위해 여러 번의 ESD 펄스에 대해 디바이스의 누설을 측정해야 한다. 배리스터의 성능에 대해 꼭 넓은 시각을 갖기 위해서는 제 2의 배리스터 업체를 검토해 봐야 한다. 이때도 역시 비교 제품은 0402 크기 아웃라인과 50 pF이상의 캐패시턴스를 갖는 등가 어드미티비티로 설계되고 5~6 V의 동작 전압을 갖는 파드들을 포함해야만 한다.

이와 같은 요건들을 충족시켜 주는 두 파드가 ON Semiconductor사의 ESD 보호 디

바이스인 SD9X5.0ST5G와 Innosilicon사의 배리스터인 ICVN0505X150이다.

배리스터와 TVS 솔루전은 모두 ESD 펄스에 노출되기 전에 낮은 누설값(0.1uA 미만)으로 시작한다. 처음 열 개 이하의 펄스 안에 100 uA를 초과하는 배리스터에서 누설의 피크가 발생한 후 그 다음 펄스마다 천천히 증가한다. 이것은 배리스터 기술이 매 피크마다 디바이스의 성능 저하를 일으키는 ESD 펄스들 너 많이 흡수하기 때문이다.

누설이 증가함에 따라 정상적 기능이 방해 받거나 배터리의 수명 단축 때문에 시스템 신뢰성의 위험이 증가한다.

On Semiconductor사의 실리콘 솔루전은 펄스 흡수하지 않고 제한하므로, 최대 1,000 개의 펄스까지 성능 저하를 일으키지 않고 0.1 uA 아래에서 낮은 누설 값을 유지한다. 수많은 피크에서 이러한 낮은 누설값은 제품 수명

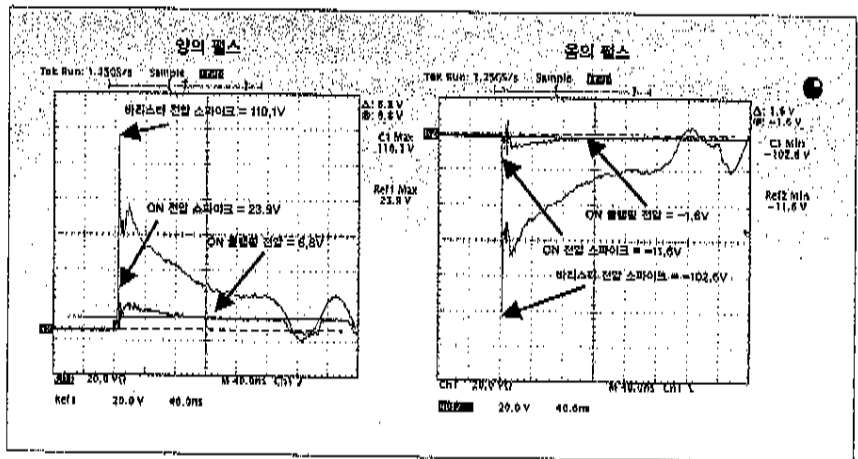


그림 2: 실리콘 솔루전(청색 파형)은 배리스터 솔루전(녹색 파형)에 비해서 ESD 펄스에 대해 훨씬 더 낮은 제한 전압을 제공한다.

이 지속되는 동안 품질 문제가 일어난 기회를 줄여준다.

결론적으로, 배리스터와 실리콘 ESD 보호 디바이스들은 IC가 ESD 펄스로 인해 겪게 되는 에너지의 양을 줄여준다. 디자인

이 보다 민감해진에 따라, 디자인자들은 ESD 펄스들을 보다 안전한 레벨로 제한하는 보호 디바이스들을 추가해야만 한다. 실리콘 ESD 보호 디바이스들은 배리스터에 비해 가장 낮은 제한 전압을

제공하며, 많은 ESD 충격을 받는 동안 가장 낮은 누설값을 유지한다. 이처럼 고도의 신뢰성을 요구하는 디자인에서 실리콘 ESD 보호 디바이스는 가장 효과적인 솔루션을 제공한다.