

控制開關頻率，最佳化完整負載及線路電壓範圍內的能效

■作者：Joel Turchi/ 安森美半導體資深首席應用工程師

簡介

環保因素已經為當代電源設計催生新的能效要求。例如，80 PLUS 倡議及其銅級、銀級和金級衍生標準(見參考資料^[1])迫使桌上型電腦及伺服器製造商尋求創新的方案。一項重點就在於功率因數校正(PFC)級，此級跟 EMI 濾波器一起在低線路電壓、滿載條件下可能消耗輸出功率的 5% 至 8%。

然而，在一般情況下，相關元件並不是總是以它們設計的最大功率工作，而只有短時間以最大功率工作。因此，要有效地節能，「綠色要求」不僅針對滿載能效。相反，這些要求傾向於因應實際工作條件，規定在滿額功率 20%、50% 及 100% 等不同負載狀況下的最低平均能效等級，或是能效比。

因此，中低負載條件下的能效比已成為要應對的要點。降低開關頻率是減小這些條件下功率損耗的常見選擇。要在極低功率條件下提供極高能

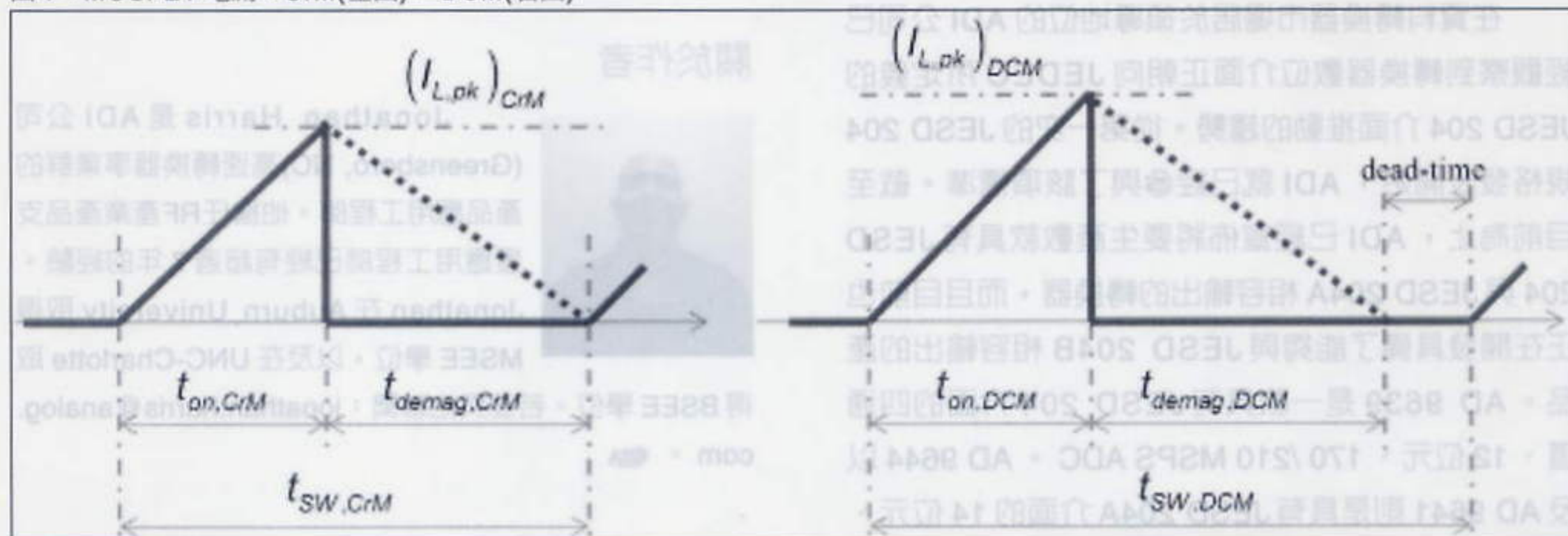
效，此方案在中等功率等級的應用就必須非常審慎。本文將闡釋如何管理開關頻率以提供最佳能效性能。文中將簡述電流控制頻率反走(Current Controlled Frequency Foldback, CCFF)技術的原理。這種新方案在控制開關頻率方面極為有用，提供最佳的平均能效及輕載能效等級。

臨界導電模式或不連續導電模式

開關損耗難於精確預測。當 PFC 升壓轉換器從臨界導電模式(CrM)跳轉到不連續導電模式(DCM)時，我們還是可以根據工作模式來判定損耗趨勢。圖 1 顯示了這兩種模式在相同功率及線路條件下(如相同線路電流)的 MOSFET 電流波形。

無論在什麼工作模式，線路電流是開關週期內的電感電流的平均值，而開關週期就是 PFC 升壓轉換器之電磁干擾(EMI)濾波器工作的平均過程時間。

圖 1：MOSFET 電流：CrM(左圖)，DCM(右圖)



在 CrM 下，線路電流的計算非常簡單⁽¹⁾：

$$I_{line} = \frac{(I_{L,pk})_{CrM}}{2} \quad (0)$$

在退磁時間的末尾，由於電感和開關節點電容組成的振盪網路的緣故，MOSFET 漏極-源極電壓圍繞輸入電壓擺動。為了將開關損耗減至最小，MOSFET 通常不會在磁心復位後立即導通，而會延遲，直到 MOSFET 漏極-源極電壓處於其最小值(即所謂的穀底開關)。為了簡化分析，我們在下文中忽略了此延遲。

在 DCM 下，延遲時間期間的電感電流為零。因此，它的平均值取決於開關週期內的電流週期時長(導通時間+退磁時間)，如下所示：

$$I_{line} = \frac{(I_{L,pk})_{DCM}}{2} \cdot (t_{on,DCM} + t_{demag,DCM}) \cdot f_{SW,DCM} \quad (0)$$

PFC 電路根據要提供的功率及線路幅值來對線路電流進行穩流。因此，無論處在什麼工作模式，都從線路汲取相同的電流。頻率鉗位電路延長導通時間，故需要以延遲時間期間的峰值電感電流來鉗位頻率。否則，電感電流的平均值將會減小，由此電感平均電流推導出來的線路電流將會失真。

因此，圖 1 顯示出 DCM 下的峰值電流更高，以此補償沒有從交流主電源汲取電流的延遲時間。我們可以寫出這樣的等式，即在 DCM 工作條件下，開關頻率減小了(α)倍。

$$\alpha = \frac{f_{SW,CrM}}{f_{SW,DCM}} \geq 1 \quad (0)$$

如上所述，DCM 下的導通時間就是將 CrM 下的導通時間乘以一個因數 $m(m>1)$ ，以維持提供恰當的功率。因此，電感峰值電流與電流週期時長均乘以導通時間與退磁時間之和：

$$(I_{L,pk})_{DCM} = (I_{L,pk})_{CrM} \cdot m \quad (0)$$

$$t_{on,DCM} + t_{demag,DCM} = m \cdot (t_{on,CrM} + t_{demag,CrM}) \quad (0)$$

因此，根據 CrM 及 DCM 平均電流值等式可以得到：

$$\frac{(I_{L,pk})_{DCM}}{2} \cdot \frac{t_{on,DCM} + t_{demag,DCM}}{T_{SW,DCM}} = \frac{(I_{L,pk})_{CrM}}{2} \Rightarrow m^2 \cdot \frac{T_{SW,CrM}}{T_{SW,DCM}} = 1 \quad (0)$$

從等式(0)我們可以推導出：

$$m = \sqrt{\alpha} = \sqrt{\frac{f_{SW,CrM}}{f_{SW,DCM}}} \quad (0)$$

最後，我們就求得了下述 DCM 幅值：

$$\frac{f_{SW,DCM}}{f_{SW,CrM}} = \frac{1}{\alpha} \quad (0)$$

$$\frac{t_{on,DCM}}{t_{on,CrM}} = \frac{(I_{L,pk})_{DCM}}{(I_{L,pk})_{CrM}} = \sqrt{\alpha} \quad (0)$$

我們可以增加 MOSFET 工作週期，即導通時間乘以開關頻率：

$$\frac{d_{DCM}}{d_{CrM}} = \frac{1}{\sqrt{\alpha}} \quad (0)$$

我們可以得出 CrM 工作條件下一個開關週期內的 MOSFET 導電損耗：

$$(P_{cond})_{CrM} = R_{DS(on)} \cdot \frac{(I_{L,pk})_{CrM}^2}{3} \cdot d_{CrM} \quad (0)$$

與之類似，DCM 條件下的導電損耗可以採用下述等式來計算：

$$(P_{cond})_{DCM} = R_{DS(on)} \cdot \frac{(I_{L,pk})_{DCM}^2}{3} \cdot d_{DCM} = (P_{cond})_{CrM} \cdot \sqrt{\alpha} \quad (0)$$

我們可以估計出開關損耗為 MOSFET 關閉損耗(下述等式的第一項)與 MOSFET 導通損耗(開關節點電容放電損耗，此電容通常設計為集總電容，連接至 MOSFET 的漏極)之和，如下所示：

$$(P_{sw})_{CrM} = (k_1 \cdot (I_{L,pk})_{CrM} \cdot f_{CrM}) + (k_2 \cdot Q_{rss} \cdot f_{CrM}) \quad (1)$$

開關損耗取決於如此多的不同參數(涉及 MOSFET 及二極體選擇, 寄生元件, 柵極驅動電流能力……), 以致於在實踐中不能進行有效計算。 K_1 和 K_2 是考慮這些「未知」參數時的常數。

但與之類似的是, 我們可以確定 DCM 開關損耗, 如下所示:

$$(P_{sw})_{DCM} = (K_1 \cdot (I_{L,DCM})_{DCM} \cdot f_{DCM}) + (K_2 \cdot Q_{sw} \cdot f_{DCM}) = \left(\frac{K_1 \cdot (I_{L,DCM})_{DCM} \cdot f_{DCM}}{\sqrt{\alpha}} \right) + \left(\frac{K_2 \cdot Q_{sw} \cdot f_{DCM}}{\alpha} \right) \quad (2)$$

換而言之, MOSFET 關閉損耗要除以 $\sqrt{\alpha}$, 而 MOSFET 導通損耗要除以 (α) 。由於不能預測這些損耗的相對重要性(即便輕載條件下第二項更占主導地位, 因為其與功率等級無關), 我們可以考慮進行最壞情況分析(DCM 最壞情況), 即 DCM 開關損耗為將 CrM 開關損耗最少除以 $\sqrt{\alpha}$ 。

事實上, DCM 損耗可以表示為 CrM 損耗的一個函數:

$$P_{DCM} = (P_{cond})_{DCM} + (P_{sw})_{DCM} = ((P_{cond})_{CrM} \cdot \sqrt{\alpha}) + \frac{(P_{sw})_{CrM}}{\sqrt{\alpha}} \quad (2)$$

其中: $\alpha = \frac{f_{SW,CrM}}{f_{SW,DCM}} \geq 1$

如同我們所能夠預料的, 頻率降低導致導電損耗增加及開關損耗降低。這樣, 必須有最佳的條件來進入頻率反走模式。

對上述 P_{DCM} 等式進行求導數, 就可以幫助估計出此最佳條件, 它是 $\left(\beta = \frac{(P_{cond})_{DCM}}{(P_{sw})_{CrM}} \right)$ 比的一個函數:

$$\frac{d}{d\alpha}(P_{DCM}) = \frac{(P_{cond})_{CrM}}{2 \cdot \sqrt{\alpha}} - \frac{(P_{sw})_{CrM}}{2 \cdot \alpha^{3/2}} \quad (3)$$

這樣一來, 在 CrM 條件下降低開關頻率就會開始提供高能效, 此時開關損耗及導電損耗相等, 且在 α 等於下述 α_{max} 項時的優勢最明顯:

$$\alpha_{max} = \frac{1}{\beta} = \frac{(P_{sw})_{CrM}}{(P_{cond})_{CrM}} \quad (4)$$

在實踐中, 開關頻率可能降低得更多, 因為有意減小了導通損耗方面的 DCM 增益以簡化研究。

圖 2: 在不同 $\beta = \frac{(P_{cond})_{DCM}}{(P_{sw})_{CrM}}$ 比例條件下 DCM 損耗相對於 CrM 損耗的百分比

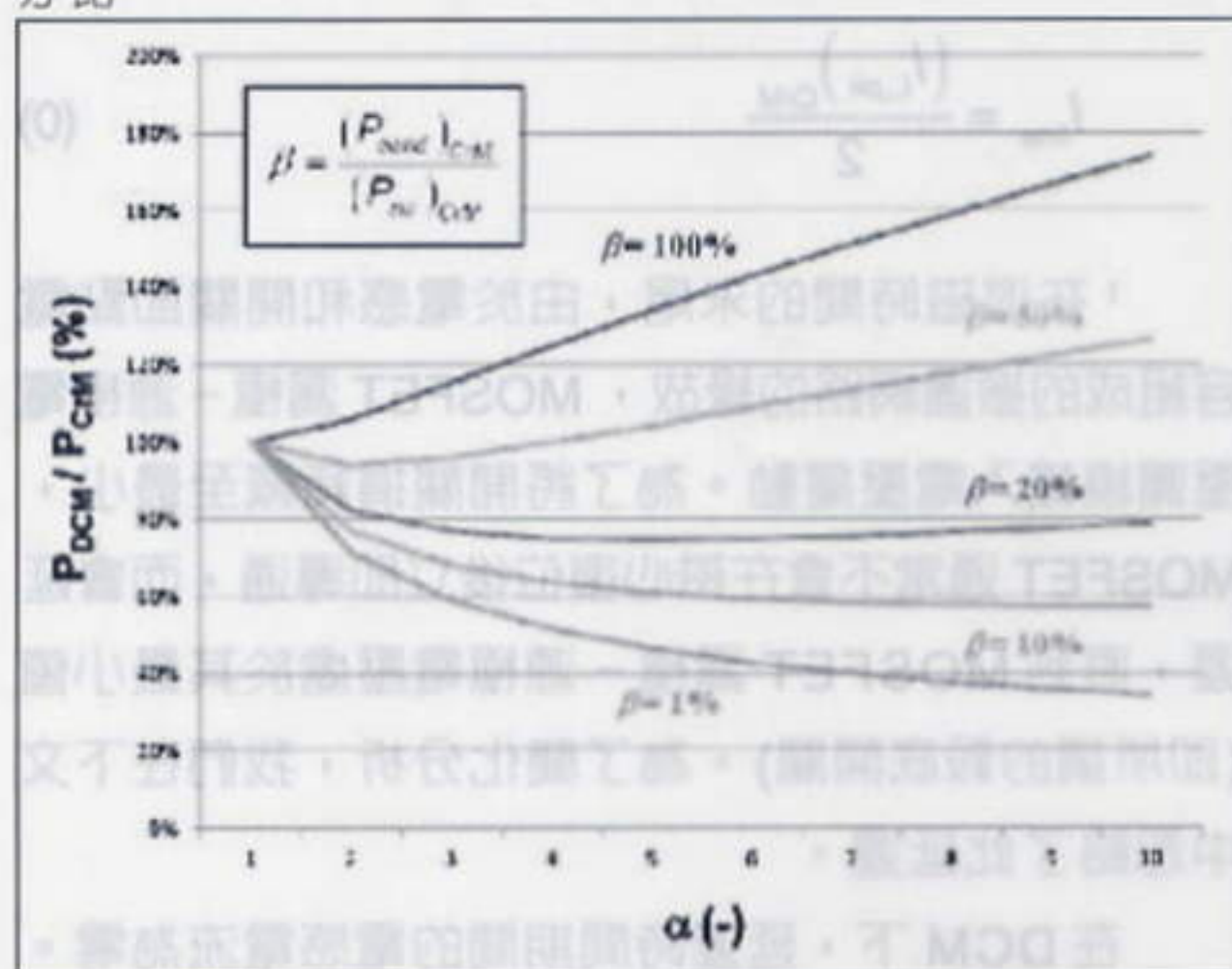


圖 2 顯示了沒有頻率反走條件下獲得的 DCM 損耗相對於 CrM 損耗的百分比。DCM 損耗與 CrM 損耗之比根據等式(2)來計算, α 比的值在 1 至 10 之間變化。當 α 為 1 時, 頻率並未降低, 因此 DCM 損耗及 CrM 損耗相等, 使二者之比為 100%。 α 值越高, 當 DCM 能效降低時, DCM 損耗與 CrM 損耗之百分比就越高; 相反, 當採用頻率反走技術來提升能效時, 此百分比就下降。換句話說, 當 $\left(\frac{P_{cond}}{P_{sw}} \right)$ 之比低於 100% 時, 就需要頻率反走技術。

我們實際考慮了幾種不同的 CrM 導電損耗與 CrM 開關損耗之比 $\left(\beta = \frac{(P_{cond})_{CrM}}{(P_{sw})_{CrM}} \right)$:

1. 導電損耗與開關損耗相等, 使此比例為 1 (棕色跡線)
2. β 為 50% 時, 導電損耗為開關損耗的一半 (綠色跡線)
3. 三種情況下, 導電損耗相對於開關損耗較小, 導致出現下列低比例值:
 - $\beta = 20\%$ (紫色跡線)
 - $\beta = 10\%$ (藍色跡線)
 - $\beta = 1\%$ (橙色跡線)

圖 2 顯示出:

■ 當導電損耗較高或處在相同範圍時, 頻率反走技術增加了損耗 (棕色跡線)。當大的均方根電流在轉換器中迴流時, 如當 PFC 級處在重負載、低線

路電壓條件下，就出現這種情況。

■當導電損耗略小於開關損耗時，就需要有限程度地降低頻率。但程度必須有限。否則，就完全泯滅了在開關損耗方面的好處，或者是無法針對導電損耗增加(綠色及紫色跡線)提供補償。這種情況與線路及負載條件相對應，導致轉換器流動中等的電流……

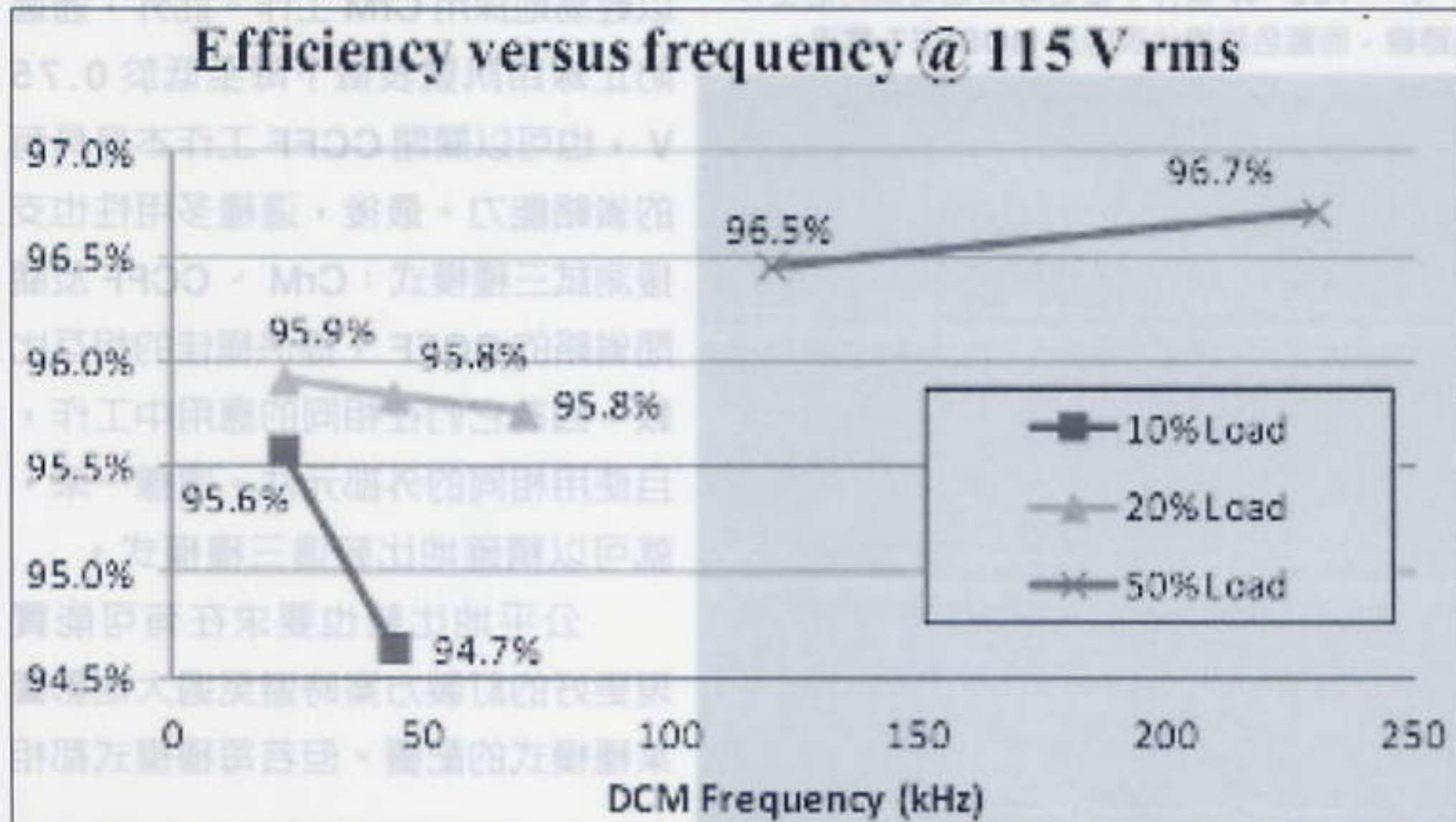
■當導電損耗相對於開關損耗極低時(藍色及橙色跡線)，頻率反走大幅降低總體損耗。然後，在線路電流較小的條件下，必須降低開關頻率。

應當注意的是，頻率反走技術帶給 MOSFET 開關損耗的好處被低估了(「DCM 開關損耗為將 CrM 開關損耗最少除以 $\sqrt{\alpha}$ 」)。

實驗資料

下述資料是使用以 NCP1631(見參考資料^[2])驅動的兩相交錯式 PFC 級獲得的。此控制器採用頻率鉗位臨界導電模式(FCCrM)工作，還具有頻率反走功能。但應當指出的是，與 CCFF(見下一段)相比，頻率鉗位並不取決於電流電平，而是在電流半正矢波範圍內給定功率條件下保持恆定。圖 3 顯示了 NCP1631 300 W 評估板在施加了 115 Vrms 輸入電壓、10%、20% 及 50% 負載條件下的能效。調

圖 3：頻率鉗位等級影響能效比。



節電路的反走特性以量測 20% 負載條件下三種不同工作頻率時的能效，並考慮量測其它兩種負載工作條件下兩種不同工作點時的能效。下面的資料印證了輕載條件下頻率下降時能效提升，且在負載較重時開關頻率逐漸減小的情況下能效降低。

電流控制頻率反走(CCFF)

沿襲這些能效考慮因素，安森美半導體推出了採用所謂的電流控制頻率反走(CCFF)技術以驅動 PFC 升壓級的 NCP1611 和 NCP1612 PFC 控制器。在 CCFF 模式下，當線路電流超過設定點時，PFC 級採用傳統 CrM 工作。相反，當電流低於此預設值時，在線路電流降低到 0 時，開關頻率下降到約 20 kHz(見參考資料^[3]和^[4])。

實際上，這些控制器監測線路電壓以構建線路電流的訊號表徵。內部計算產生一個電流，此電流結合外部電阻，就構建了線路電流的訊號表徵。當電壓超過內部 2.5 V 參考電壓(VREF)時，電路採用 CrM 工作。外部電阻就控制 CrM 工作條件下的最小電流。相反，如果 FFcontrol 接腳電壓(VFFcontrol)低於 2.5 V，就產生約等於的 $66 \mu s \left(1 - \frac{V_{FFcontrol}}{V_{REF}}\right)$ 延遲時間。通過這種方式，電路迫使線路電流較小時的延遲時間延長，而在線路電流較大時的延遲時間縮短。此外，無論什麼時候

FFcontrol 接腳電壓低於 0.65 V 時，電路就進一步採用省略模式工作，防止 PFC 級在接近線路過零點的地方工作，而此處的功率轉換能效尤為低。

CCFF 工作原理如圖 4 所示。

對 CrM PFC 升壓級的開關頻率進行鉗位通常導致線路電流失真，因為 NCP1611 和 NCP1612 克服了傳統電流波形原理假定

圖 4：電流控制頻率反走(CCFF)

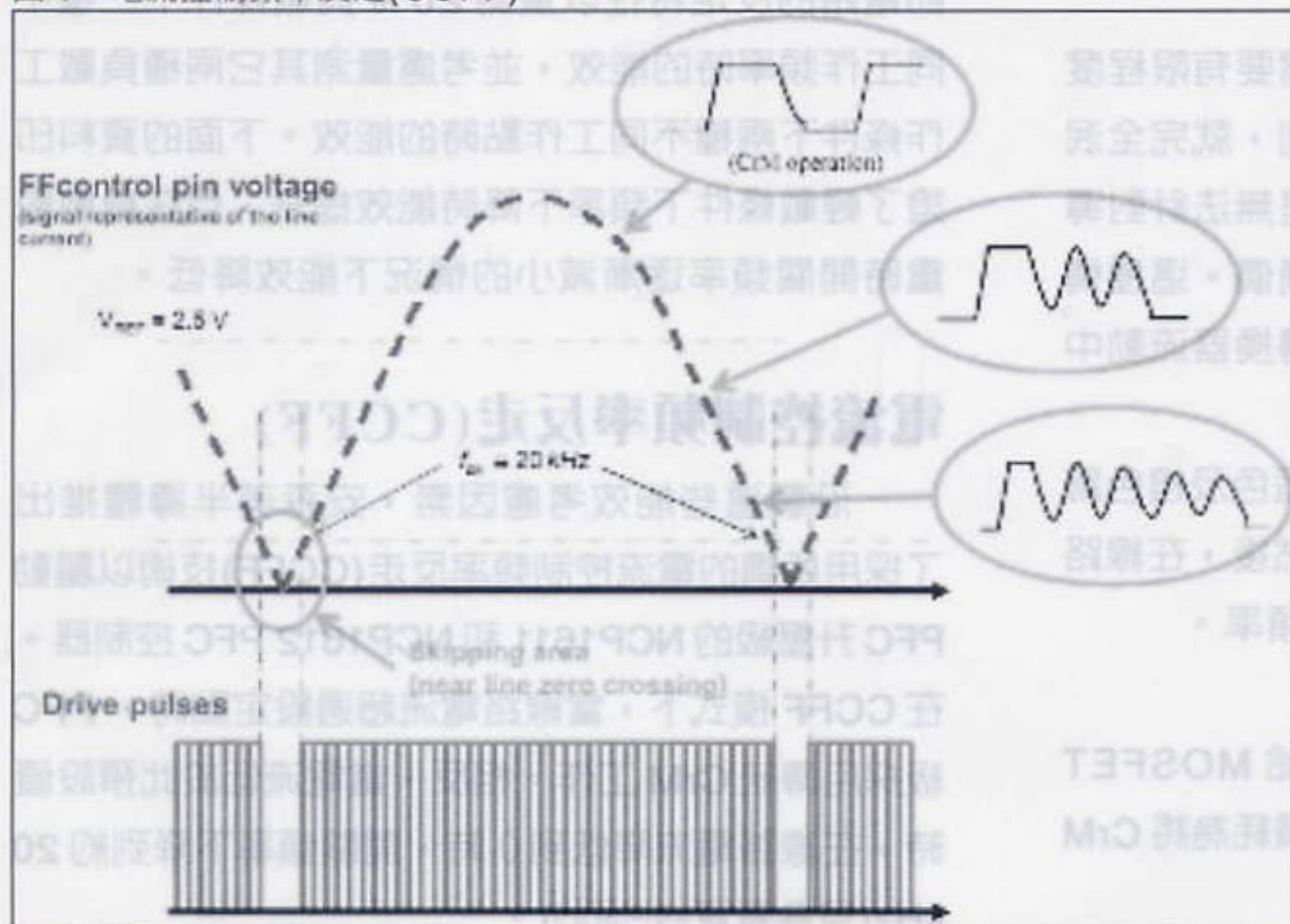


圖 5：CCFF 工作過程

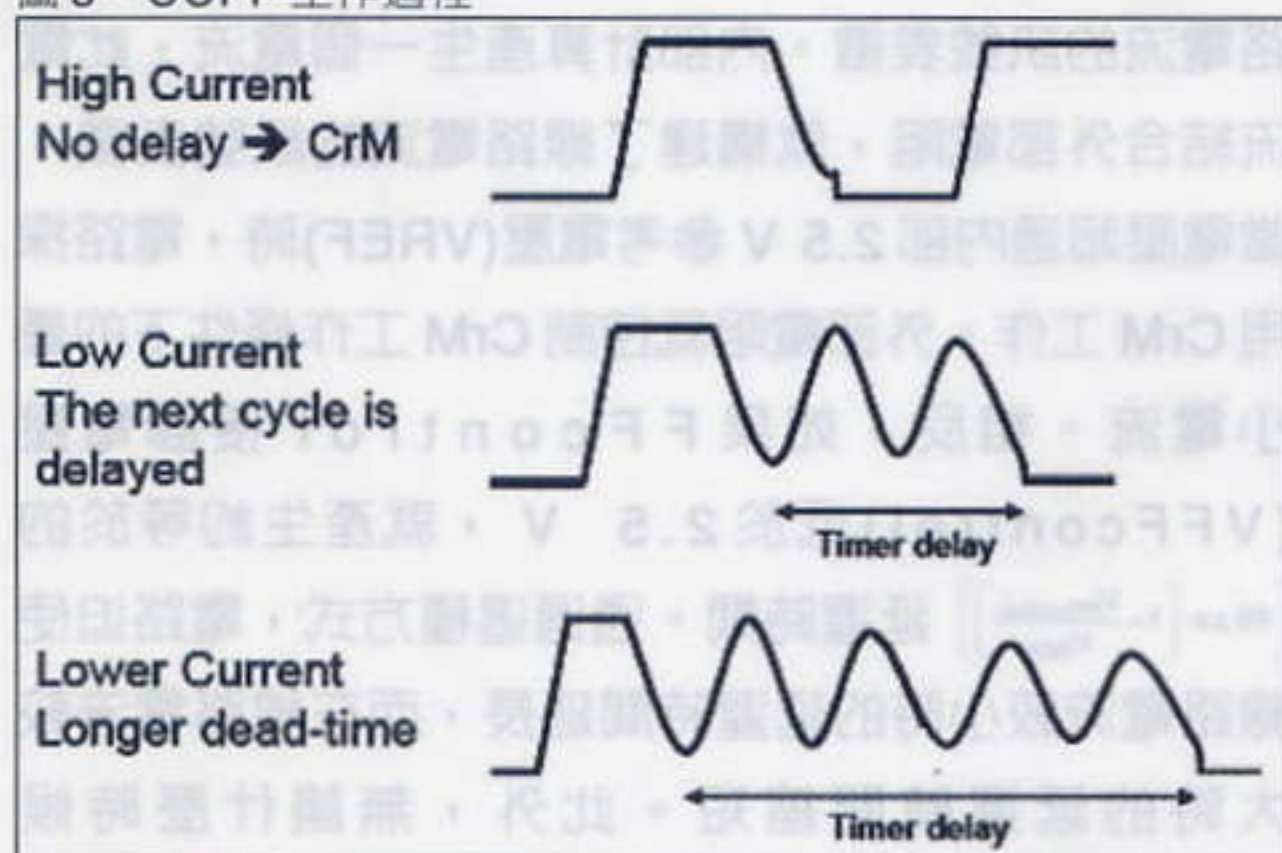
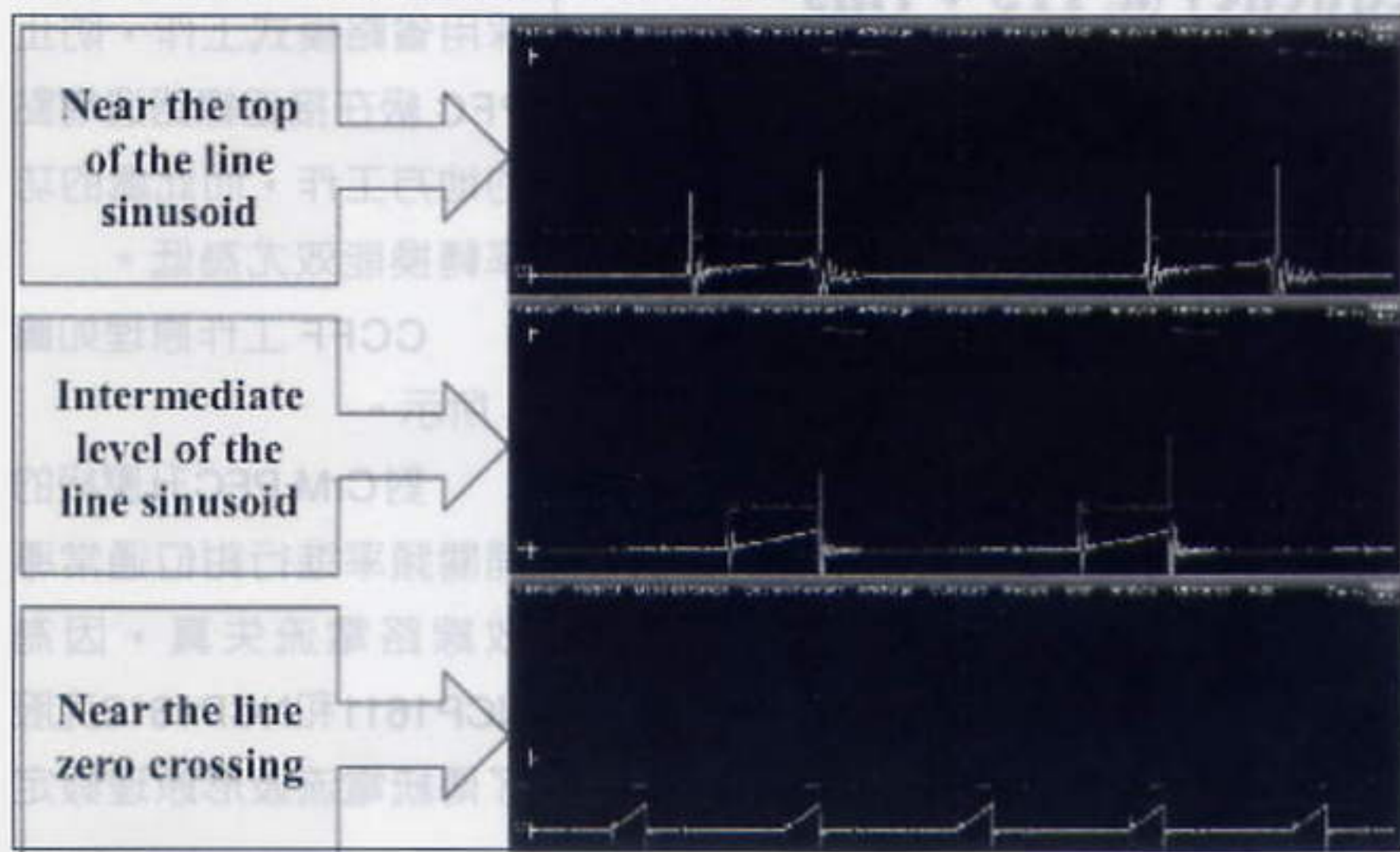


圖 6：NCP1612 評估板在 230 V、160 W 條件下接近線路過零點時的工作。MOSFET 漏極 - 源極電壓為紅色跡線，而藍色跡線代表的是 MOSFET 電流。



採用 CrM 工作這種傳統局限，其方式跟安森美半導體的 FCCrM 電路類似(如 NCP1605)：整合了一個電路(稱為 VTON 處理模組)來調變導通時間，以補償存在的延遲時間。此模組基於積分器(詳情參見產品資料表)，在對開關諧波進行了恰當濾波的條件下，其時間常數接近 $100 \mu s$ 。

如圖 5 所示，在大線路電流條件下，CCFF 升壓級傾向於採用 CrM 工作；隨著線路電流減小，控制器採用不連續導電模式(DCM)工作。通過此方式，即使在 DCM 條件下，MOSFET 導通時間被延長，直至

MOSFET 漏極 - 源極電壓位於谷底以提供最佳節能效果。

CCFF 技術進一步催生了穩定的谷底工作。

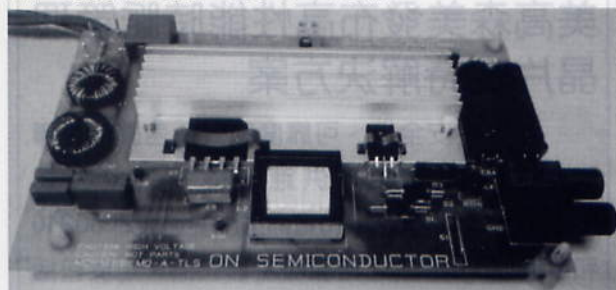
CCFF 使寬負載條件下的能效曲線變得更平坦。我們基於 NCP1611 評估板進行了測試(見參考資料^[3])。這電路板是纖薄(厚度低於 13 mm) PFC 級，其設計旨在寬交流線路條件下提供 160 W 功率，如圖 7 所示。

此電路板的設計旨在採用 CCFF 工作。然而，通過迫使高於 2.5 V 時的線路電流訊號表徵來關閉

CCFF 頻率反走特性，此電路板也可以輕易地採用 CrM 工作。此外，通過防止線路訊號表徵下降至低於 0.75 V，也可以關閉 CCFF 工作本身具有的省略能力。最後，這種多用性也支援測試三種模式：CrM、CCFF 及關閉省略的 CCFF，提供極佳的相互比較，因為它們在相同的應用中工作，且使用相同的外部元件。這樣一來，就可以精確地比較這三種模式。

公平地比較也要求在有可能實現更好的訂製方案時避免過大地影響某種模式的配置。但若每種模式都相

圖 7：寬交流主電源、160 W PFC 級

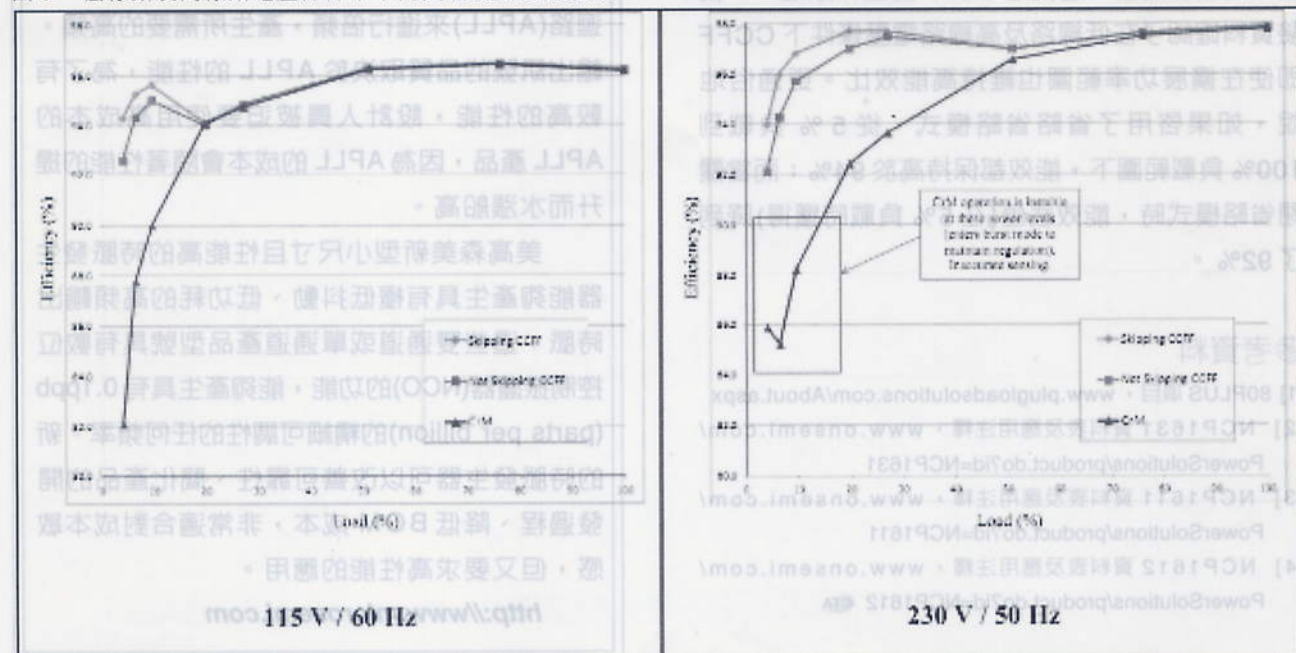


同，便可能使其中某種模式不恰當地處於不利地位。此電路的設計要麼採用自供電，要麼採用外部電壓源供電。出於能效量測起見，更宜採用第二種方案，因為自供電方案中應用電荷泵來為 VCC 供電的能耗與開關頻率成正比。採用自供電方案將會大幅影響輕載 CrM 能效。例如，量測結果顯示，在高線路電壓、20% 負載時，此電荷泵可能會降低 CrM 能效達 1%，但它不會顯著影響 CCFF 性能。

當 PFC 級通電時，會出現大電流給大電容充電。此電路板包含 NTC 來限制湧浪電流。此 NTC 已經被短路，用於量測能效。

圖 8 顯示了大功率範圍內(從 5% 負載到 100% 負載)低線路及高線路電壓時的能效比。右側的 CCFF 能效曲線類似於傳統 CrM PFC 級。在左側的圖中，

圖 8：低線路及高線路電壓條件下不同負載範圍時的能效



由於開關損耗的緣故，能效正常下降，直到一個反曲點，此時能效又上升，這是 CCFF 工作的結果。如前所述，當線路電流低於預設值時，CCFF 使開關頻率作為暫態線路電流的函數來線性下降。CCFF 臨界值設定為約低線路電壓時最大線路電流的 20%，及高線路電壓時最大線路電流的近 45%，這可以從圖 8 中所觀察到的反曲點得到印證。

要提醒一下的是，CCFF 以暫態線路電流的函數形式工作：當線路電流的訊號表徵(由 FFcontrol 接腳產生)低於 2.5 V 時，電路降低開關頻率。這就是接近線路過零點時的案例，而無論這是負載多大。因此，開關頻率在線路正弦波最小值時下降，即使是在重負載條件下。這就是大負載時能效也提升了的原因，最少是在高線路電壓條件時就是如此，此時 CCFF 的影響更大，因為線路電流較小。

當暫態線路電流要變得極小時(在我們的應用中為低於最大電流電平的約 5%，見參考資料^[11])，電路進入省略模式。換句話說，在功率轉換變得低效的瞬間，電路停止工作。與不含省略功能的 CCFF 工作相比，省略模式進一步提升了輕載能效(高線路電壓時約提升 2%，滿載時約提升 5%)。

從更普遍的意義上講，圖 8 顯示出 CCFF 在低

線路電壓條件下低於 20% 負載時大幅提升能效，而在 230 V 高線路電壓條件下低於 50% 負載時開始顯現其優勢。

應該注意的是，總諧波失真(THD)受省略模式功能的影響。即使總諧波失真相對較低，但在要提供優異 THD 性能時，應當禁止使用省略模式。可以參見 NCP1611/2 評估板有關功率因數及 THD 的資料。

眾所周知，由於高工作開關頻率的緣故，CrM 系統在高線路電壓、輕負載時通常無法持續工作。相反，它們進入輕載省電(burst)模式。這種情況通常在最高線路電壓等級工作、20% 或以下負載範圍時出現。圖 8 顯示了降低開關頻率就克服了此局限。因此，應當注意的是，CCFF 進一步提供了在低至極低功率等級時提供穩定工作的可能性。

結論

計算開關損耗是一個棘手的過程。本文介紹了一種預測降低開關頻率時 DCM 損耗與 CrM 損耗相關性趨勢的方法。分析及實驗資料顯示：當導電損耗相對於開關損耗較小，即在線路電流較低時，更適宜採用頻率反走。圖 2 甚至顯示電流越低，最優頻率也越低，從而在「高能效的頻率」與線路電流之間產生關聯，這就是 CCFF 的工作原理……實驗資料確認了在低線路及高線路電壓條件下 CCFF 即使在擴展功率範圍也維持高能效比。更通俗地說，如果啓用了省略省略模式，從 5% 負載到 100% 負載範圍下，能效都保持高於 94%；而當關閉省略模式時，能效底值(在 5% 負載時獲得)降到了 92%。

參考資料

- [1] 80PLUS 項目，www.plugloadsolutions.com/About.aspx
- [2] NCP1631 資料表及應用注釋，www.onsemi.com/PowerSolutions/product.do?id=NCP1631
- [3] NCP1611 資料表及應用注釋，www.onsemi.com/PowerSolutions/product.do?id=NCP1611
- [4] NCP1612 資料表及應用注釋，www.onsemi.com/PowerSolutions/product.do?id=NCP1612 CTA

美高森美發布高性能時脈管理晶片定時解決方案

功率、安全性、可靠度和效能差異化半導體解決方案的領先供應商美高森美公司(Microsemi Corporation)宣佈推出雙通道 ZL30240 和單通道 ZL30241 時脈發生器產品，用於包括通訊設備、企業路由器和交換、網絡存放裝置和伺服器等多種應用。

美高森美時脈產品副總裁兼業務部門經理 Maamoun Seido 表示：“設計人員在採用我們的新型時脈發生器產品之後，將不再需要以昂貴的振盪器來獲得具有出色抖動性能、靈活性和可靠性能的高速輸出時脈。這些新型時脈發生器的推出，再加上我們去年推出的首款時脈驅動器產品系列，進一步鞏固了美高森美在時脈和同步晶片解決方案領域中的領導地位，此市場仍然是我們所關注和投資的一個關鍵領域。”市場研究機構 Databeans 估計 2012 年時脈產生器積體電路的市場規模將超過 7 億美元。

一般來說，基頻晶體振盪器只能達到 50MHz 的輸出頻率，通過三次諧振也只能產生 150 MHz 以下的時脈。設計人員藉由類比鎖相迴路(APLL)來進行倍頻，產生所需要的高頻。輸出訊號的品質取決於 APLL 的性能，為了有較高的性能，設計人員被迫要使用高成本的 APLL 產品，因為 APLL 的成本會隨著性能的提升而水漲船高。

美高森美新型小尺寸且性能高的時脈發生器能夠產生具有極低抖動、低功耗的高頻輸出時脈，這些雙通道或單通道產品型號具有數位控制振盪器(NCO)的功能，能夠產生具有 0.1ppb (parts per billion)的精細可調性的任何頻率。新的時脈發生器可以改善可靠性、簡化產品的開發過程、降低 BOM 成本，非常適合對成本敏感，但又要求高性能的應用。

<http://www.microsemi.com>