

小型LCD背光的LED驱动电路设计考虑因素

Bernie Weir

应用总监

安森美半导体公司

过去几年来,小型彩色LCD显示屏已经被集成到范围越来越宽广的产品之中。彩色显示屏曾被视为手机的豪华配置,但如今,即便在入门级手机中,彩屏已成为一项标配。幸好,手机产业的经济规模性(全球手机年出货量接近10亿部)降低了LCD彩色显示屏的成本,并使它们集成在无论是便携医疗设备、通用娱乐遥控器、数字相框/图像查看器、教育玩具,或是最新具有Wi-Fi功能的VoIP无绳电话等其他产品都具有吸引力。

彩色LCD显示屏需要白色背光,以使用户在任何光照环境下都能正常地观看。这

LED	供应商	正向电压(V)	驱动电流(mA)	发光亮度(1)(mcd)	尺寸(mm)
NESW020AT	Nichia	3.75 ⁽²⁾ ~4.2	20	720~1,440	3.8×1.2×0.6
NEW008CT	Nichia	3.2 ⁽²⁾ ~3.5	20	1,000~1,400	2.8×1.2×0.8
LW YSG	OSRAM	2.9~3.6	20	720~1,200	3.75×1.2×0.65
LW V18G	OSRAM	2.75~3.35	10	140~355	1.8×1.1×0.6
LW Y87C	OSRAM	3.0~4.1	20	180~560	3.0×1.1×0.6
E1S62	Toyoda Gosei	2.8~3.6	20	930~1,560	2.8×1.2×0.8

备注:
1. 规范范围涵盖多种档次的产品。
2. 未定义最小值,显示的是典型值。

几种不同的LED的特性参数。

个背光子系统包括1个高亮度白光发光二极管(LED)阵列、1个扩散器(diffuser)以扩散光线和1个背光驱动器将可用电能稳压为恒定电流以驱动LED。一块1~1.5英寸的显示屏可能包含2~4个LED,而一块3.5英寸显示屏则可能轻易地就包含6~10个LED。对于LED而言,其光输出与电流成正比,而且由于LED具有非常陡峭的电

流-电压(I-V)曲线,流过LED的电流紧密匹配是非常重要的,这样才能确保均衡背光,因为LED通常分布在LCD显示屏的一边。此外,也需要软件控制让用户调节亮度,以及针对周围光照环境作出补偿。根据流经LED电流的不同,LED的色点可能会漂移。因此,将LED电流设定为固定值并对LED进行脉宽调制以降低平均光输出

就很普遍。要在手持产品设计中集成小型彩色LCD显示屏并进而实现成本、性能和电池寿命的恰当平衡,存在着一系列需要考虑的因素。

电池供电产品需要优化的LED驱动电路架构,这些架构要处理并存的多项挑战,如空间受限、需要高能效,以及电池电压变化——既可能比LED的正向电压高,也可能低。常用的拓扑结构有两种,分别是LED采用并联配置的电荷泵架构/恒流源架构和LED采用串联配置的电感升压型架构。这两种方案都有需要考虑的折衷因素,如升压架构能确保所有LED所流经的电流大小相同但需要采用电感进行能量转换,而电荷泵架构使用小型电容进行能量转换,但所有LED并联

排列得太过紧密以致电流匹配成为均衡背光所面对的一项棘手问题。图1(详见本刊网站)展示了这两种架构的示例。

设计时应做好的几点

1. 评估显示屏的大概使用时间
选择白光LED驱动器时,需要考虑到显示屏的使用频率。如果显示屏会被长时间背光观看,拥有高效率的转换器对电池使用时间就显得至关重要。较大的显示屏需要较多的LED,而显示屏使用时间较长的应用则会从能效更高的升压型拓扑中受益。相反地,如果显示屏仅用于短时间背光,那么效率就可能不是一项关键的设计参数。

2. 仔细考虑LED选择

下接62页 ▶

FPGA

利用FPGA协处理提升无线子系统的性能

Dave Nicklin

无线市场高级经理

Email: dave.nicklin@xilinx.com

Tom Hill

System生成产品经理

Email: tom.hill@xilinx.com

Xilinx公司

您可以显著提高无线系统中信号处理功能的性能。怎样提高呢?有效方法是利用FPGA结构的灵活性和目前受益于并行处理的FPGA架构中的嵌入式DSP模块。

常见于无线应用中这类处理包括了限冲激励响应(FIR)滤波、快速傅里叶变换(FFT)、数字上下变频,以及前向误差校正(FEC)。Xilinx的Virtex-4架构和Virtex-5架构提供了多达512个并行嵌入式DSP乘法器,这些乘法器的工作频率高于500MHz,最高可以提供256

GMAC的DSP性能。

将需要高速并行处理的工作卸载给FPGA,而将需要高速串行处理的工作留给处理器,即可在降低系统要求的同时优化整体系统的性价比。

子系统划分选择方案

FPGA可以与DSP处理器一起使用,作为独立的预处理器(有时候是后处理器)器件,或者作为协处理器。在预处理架构中,FPGA直接位于数据通路中负责信号预处理,预处理后的信号可以高效又经济地移交给DSP处理器进行速率较低的后续处理。

在协处理架构中,FPGA与DSP并列,后者将特定算法函数卸载给前者,以实现比单独采用DSP处理器能达到的速度更高的处理速度。FPGA的处理结果传回DSP,或送至其

他器件进一步进行处理、传输或存储(图1详见本刊网站)。

选择预处理、后处理还是协处理,常常取决于在处理器和FPGA之间移动数据所需的时序余量及其对整体延迟的影响。虽然协处理解决方案是设计人员最常考虑的拓扑结构(主要是因为DSP可以更直接地控制数据移交过程),但这并不一定总是最佳的总体策略。

举个例子来说,最新的3G LTE规范是将传输时间间隔(TTI)从HSDPA的2ms和WCDMA的10ms缩短到现在的1ms。这实质上是要求从接收器一直到MAC层输出之间的数据处理时间短于1,000μs。

如图2(详见本刊网站)所示,在运行速度为3.125Gbps的DSP上使用SRIO端口(使用8b/10b编码,Turbo解码功能

下接62页 ▶

全差分驱动器

全差分驱动器开启高速ADC的高性能应用之门

Brian Black

产品市场经理

凌力尔特公司

LTC6400-20和LTC-

640120为该高速全差分放大器家族的首批成员,具有优异的性能。

采用高速ADC的设计师所面临的重大挑战之一就是找到一个适合于驱动ADC的放大器。直到最近,ADC驱动器的选择还一直受限。通常射频放大器为单端,体积大、功耗高,而且需要一个5~12V的电源。最近,业界开发出了全差分放大器,但它们中很多都是被优化用于窄输入信号带宽,需要一个高电压电源,或者需要约束ADC的速度、噪声和/或失真性能。由凌力尔特公司开发的新放大器系列能帮助工程师实现ADC的性能,同时简化高频电路板的设计。

高速+高性能+低电压电源

这两款器件工作电源为3V或3.3V,都具有20dB的内部固定增益,具有高速、低噪声和低失真以及低功耗特点。采用的是先进的互补双极硅锗工艺。由于锗原子比硅原子大,在硅工艺中有选择地加入一些锗会在材料的晶体结构中产生应力。实际上这种应力将导致好的电特性,例如更高的迁移率和更精密的基区宽度控制,可以制作速度更高的晶体管。LTC6400-20的-

下接58页 ▶

利用FPGA协处理提升无线子系统的性能

▶ 上接51页

需要200比特的额外开销)会造成230 μ s的DSP到FPGA传输延迟(也就是说TTI时段中有将近四分之一仅用来传输数据)。加之其他可预见的延迟,为满足这些系统时序,当用户为50个时,所需的Turbo编解码器性能就是高达75.8Mbps。

使用FPGA将Turbo编解码器作为基本上独立的后处理器来处理,不仅可以消除DSP延迟,还能节省时间,因为不需要以高带宽在DSP和FPGA之间传输数据。这样做可以将Turbo解码器的吞吐量降至47Mbps,因而可选用更多比较经济的器件,并且可以减少系统功耗。

另外的一项考虑则是在Xilinx FPGA上是否使用软嵌入式或硬嵌入式处理器IP来卸载某些系统处理任务,进而可能进一步减少成本、功耗和占用空间。有了如此大量的信号处理资源,就可以在DSP处理器、FPGA可配置逻辑块

(CLB)、嵌入式FPGA DSP模块和FPGA嵌入式处理器之间更好地分配各种复杂功能(如基带处理中的复杂功能)。Xilinx提供了两种类型的嵌入式处理器: MicroBlaze软核处理器(常用于系统控制)和性能更高的PowerPC硬核嵌入式处理器(用于更复杂的任务)。

FPGA嵌入式处理器提供的有利条件允许将所有非关键性操作合并到嵌入式处理器上运行的软件中,以尽量减少整个系统所需的硬件资源总量。

软件和IP的重要性

关键问题是如何将这种潜在能力全部释放出来。必须考虑需要用哪些软件对问题的复杂性进行抽象,以及可以使用哪些IP,应该考虑利用FPGA为关键部分提供最佳解决方案。

Xilinx致力于开发行业领先的工具和体系,能够在比HDL工具(如MATLAB模型和C代码)所能提供的更高的抽象层上实现高效的FPGA解

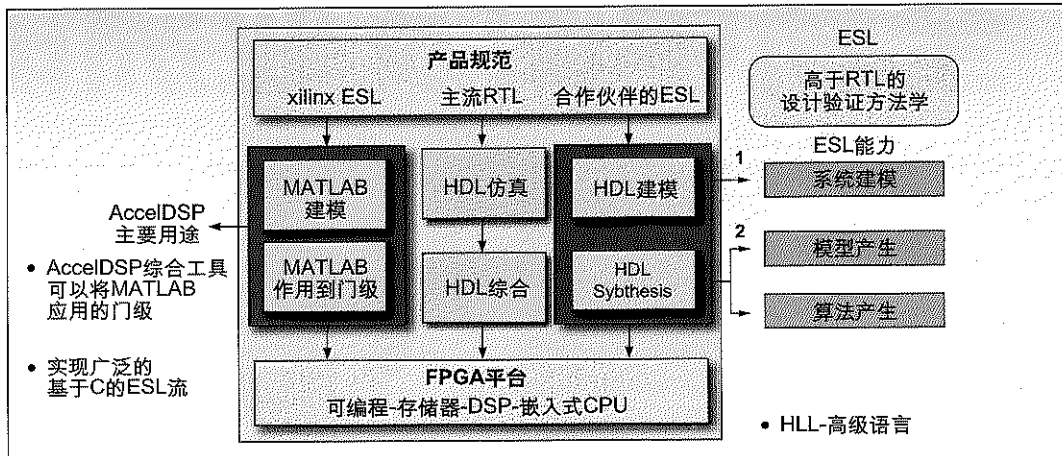


图3: 系统级到FPGA设计流程。

决方案。利用Xilinx专门用于DSP的系统生成开发工具和AccelDSP综合工具,尽可能无缝实现从算法到硅片的链接。

目前有一个日益重要的工具提供商团队,其产品通过C/C++到逻辑门的设计流程把开发提升到电子系统级(ESL)。ESL设计工具的目的是提供一种完备的系统级方法,以便生成和集成硬件加速功能以及控制这些功能的处理器的控制代码。

没有哪一种高级语言或软件工具能适合当今复杂系统中所见的所有不同单元。语言和设计流程的选择取决于客户,有时取决于具体的工程师。因此,Xilinx开发了一套齐全的功能,以满足客户需求并提供最佳设计环境(图3)。

本文小结

另外,Xilinx正在斥巨资提供一套功能广泛的高价值IP、电路板和参考设计,以涵盖射频

卡和基带应用中的许多关键部分,其中包括FFT/iFFT、调制、数字上下变频和波峰系数的降低电路等。

这一重点举措的一个例子是开发针对特定无线标准和FPGA架构优化的行业领先的高性能FEC功能,如Turbo编解码器和解码器。正如我们在分析3GLTE延迟和Turbo解码器流量要求时所示,FEC功能的硬件加速及其对系统架构的作用在现代无线设备设计中是日渐紧要的当务之需。

虽然一些专家级DSP处理器陆续以嵌入式模块的形式集成这类功能,但是,从制订出符合新无线标准的FEC功能参数到形成嵌入式加速模块出现在硅片中,通常需要好几个月。一旦实现了嵌入,也还会有遗留的难题,偶尔还会有嵌入式模块中的功能并非都能按要求工作的局面出现。同时,标准演化迅速,现标准中不时纳入一些固定嵌入式模块不能支持的新要求。

鉴于这些情况,设计人员需要灵活性。他们希望有能力迅速地开发和部署FEC之类复杂基带功能,然后根据现场试验的反馈和标准化工作的进展去修改这些功能。或许他们希望加入自己的专有IP,以便在市场上显示其解决方案别具一格。正因为是在这种情况下,设计人员不应只考虑某提供商眼下提供的解决方案组合,还应了解这些解决方案是否容易修改以及该提供商能够提供哪种水平的支持和工具。

小型LCD背光的LED驱动电路设计考虑因素

▶ 上接51页

LED技术持续快速改进,制造商在使用新的材料、制造技术和LED设计来为同等大小的电流释出更大的光输出,这样一来,几年前需要4个LED进行背光的显示屏如今可能采用2个LED就能实现同样的背光亮度。不仅如此,过去通常使用冷阴极荧光灯(CCFL)进行背光的4~7英寸较大显示屏,如今正在转向使用LED进行背光。此外,LED的正向电压正趋向更低。因此,不仅需要考虑驱动器制造商的数据表曲线上的驱动器效率,还需要基于采用所选LED对驱动器进行的评估来予以考虑。XX页表列举了几款LED的一些重要规范,显示了这些LED在正向电压和发光亮度等方面的差别。

需要说明的是,正向电压范围的变化较大,这就意味着驱动器的效率应该采用LED规

范的极限值来进行评估。

3. 注意布线

即使各个LED采用10~20mA的极低电流来驱动,流经转换器的峰值电流也明显高得多。这对于电感拓扑结构而言犹为如此,因为峰值开关电流可能是LED平均电流的10~20倍。因此,需要使用适当的低损耗布线技术。对电荷泵型拓扑结构而言,电容应该布置在邻近驱动器的位置,使回路面积减至最小以避免辐射开关噪声。对于电感升压型转换器而言,输入和输出电容以及电感应设在邻近驱动器的位置。此外,电流设定电阻(Rfb)应该直接连接至芯片的接地,因为内部参考和检测电压间的错误会直接影响LED电流精确度。

4. 在真实环境下测您的产品

考虑显示屏在外界高亮度光照条件下的表现,并确保保

件调光控制拥有足够的动态范围,从而在预期的光照环境下能充分地显示屏进行调光。

应该注意避免的问题

1. 忘记考虑边界和故障模式

错误总会发生,若LED对地开路或短路,驱动器应如何处理?对电感升压驱动器而言,若LED串开路,输出就会激增,因恒定电流会对输出电容进行充电,从而需要过压保护,但该功能可能会集成在驱动器中。这在工厂测试中可能会成为问题,因为显示屏在某些测试步骤中可能还未安装。此外,评估产品开启时的浪涌条件也很重要,因为此间大量的电流消耗可能将电池电压降到最低工作阈值之下。软启动和/或对不同电路模块进行软件排序就能将此问题最小化。

2. 只盯着峰值效率

用户可调节背光亮度,因

此需要考虑显示屏背光预计会在多数工作时间内的驱动器效率。评估驱动器效率时,需考虑LED预计的工作条件、电池电压范围和正向电压变化。电感型驱动器拥有更佳的峰值效率,对输入和输出电压变化也有更大的容限。

3. 忽视外部元件选择

所有设计案例都应考虑采用低等效串联电阻(ESR)X5R或X7R陶瓷电容使损耗降到最低。同样在电感型案例中,肖特基整流器的正向电压降和电感的ESR会影响效率。如使用ESR为0.3 Ω 的电感来以20mA电流驱动5个串联的LED时,效率会比ESR为1.3 Ω 的电感高出5%。当然,这也有代价,因为电感的ESR越低,提供相同电感值所对应的尺寸越大。所幸的是,如今有许多新型小尺寸电感器,容许LED驱动器置于显示器的下面。