

应对便携电子设备ESD保护的新挑战

作者: Lon Robinson, 安森美半导体技术市场营销经理

近

年来,便携电子设备市场的规模与多样化程度都有大幅增长。然而,同是越来越小的集成电路(IC)几何尺寸,一方面,成为关键推动力量,帮助设计人员成功地开发和推出小外形因数的便携产品,同时又使它们更加敏感,更易受到静电放电(ESD)损坏的影响。需要再三考虑的问题,是便携设备通常需要较低的电容,以维持高速数据线路应用中的信号完整性。这类产品设计人员面临的挑战,是寻找结合低电容和低ESD钳位电压的片外ESD保护解决方案,而外形因数适合于尺寸日渐缩小的便携电子应用中。

便携设备趋势影响ESD有效性

便携电子设备设计中有三个关键趋势影响ESD保护产品的有效性。第一个关键趋势是外形因数越来越小,这使总体设备/外壳尺寸变得更小,所以ESD保护选择方案也必须缩小,从而使其不占用不可承受量的印制电路板(PCB)空间。

第二,随着数据率升高,ESD保护方式必须拥有较低的电容以维持高速数据线路的信号完整性。确定高速应用电容要求的一种方法,是评估眼图(eye diagram, 详细资料见参考资料1)。便携电子设备中大多数高速应用,如工作在高达480Mbps速率的USB 2.0高速版应用,通常可以接受低于1pF的电容。

第三个趋势与IC的使用有关,IC使用的几何尺寸越来越小,令其遭受ESD电压损坏的风险更高。当今的敏感IC要求保护器件将ESD事件钳位至极低的电压。ESD保护器件需要能够将入侵的ESD钳位至较低电压,确保受保护的IC不被损坏。

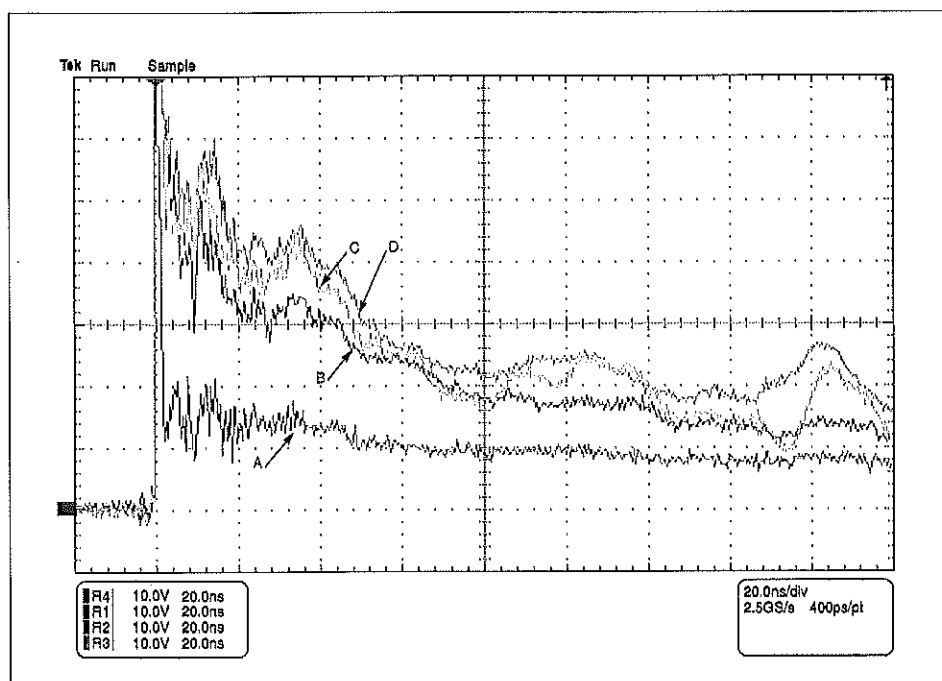


图1. TVS结构及ESD钳位电压比较。

可用示波器屏幕截图功能显示IEC61000-4-2 8kV接触ESD事件期间保护器件的钳位电压波形,鉴定ESD钳位电压。ESD事件期间ESD屏幕截图中的总电压波形越低,IC将存续的机率就越高。

ESD保护器件要适合并能够有效地应用在最新便携电子设备中,必须顾及所有这三项趋势。扼要地说,便携应用高速数据线路有效的ESD保护二极管必须采用小封装、具有低于1pF的电容,以及维持低ESD钳位电压。

ESD保护的发展趋势

基于硅瞬态电压抑制器(TVS)二极管的传统片外保护解决方案使用标准PN齐纳结,尽管具有低ESD钳位电压和快响应时间,但大电容限制了它们在现代高速应用中的适用性。减小

齐纳二极管的结尺寸,能够降低二极管的电容,但会导致钳位电压更高,且器件结构相对于ESD的强固性降低。集成超低电容PIN(P-intrinsic-N)二极管是降低ESD保护器件总电容的替代方法,提供强固的ESD解决方案,电容低于1pF,维持低钳位电压。但这种方法为硅TVS二极管设计人员带来了挑战,因为PIN二极管增加硅空间占用了所需总硅空间的一部分,而便携电子产品所需超小封装提供的空间有限。要维持ESD钳位性能,重要的是采用适当的硅工艺,以突变结(abrupt junction)将PIN二极管与齐纳区域隔离开来,同时留有足够的硅空间,从而维持实现优异ESD钳位性能和高ESD强固性所需的较大齐纳结。

图1展示了三种可选硅设计的设计/性能折衷。图左是较大齐纳结,中间是较小齐

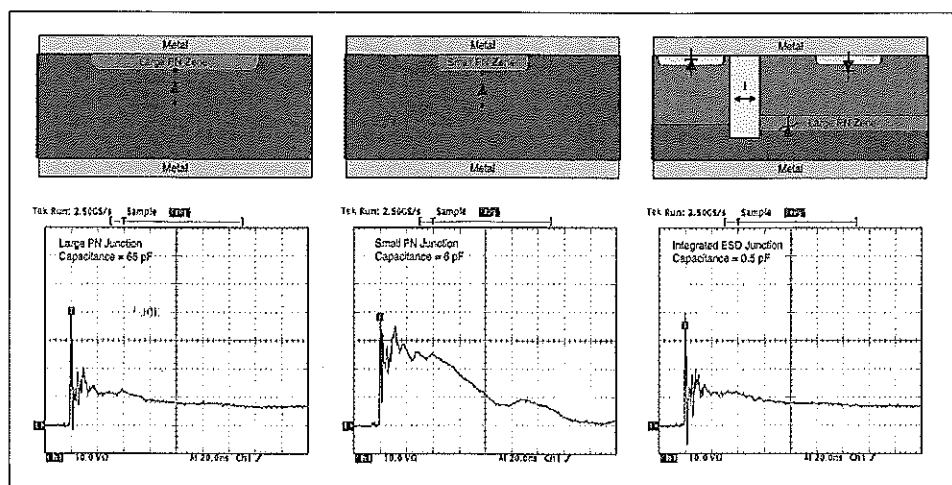


图2. ESD钳位电压波形(IEC61000-4-2 8kV接触脉冲)。

供应商 生产商器件型号	类型	技术	电容	ESD钳位电压 (IEC61000-4-2 8kV接触脉冲)
安森美半导体 ESD9L5.0ST5G	硅器件	安森美半导体集成 ESD	0.5pF	图2 - 波形A
Semtech Rclamp0521P	硅器件	"Railclamp" 集成ESD	0.3pF	图2 - 波形B
Innochips ULCE0505A015	无源元件	"ESD抑制器" 压敏电阻	0.15pF	图2 - 波形C
Tyco/Raychem PESD0402-060	无源元件	聚合物压敏电阻	0.25pF	图2 - 波形D

表1. 不同ESD保护技术比较。

纳结, 集成ESD解决方案位于图右。所有三种选择的作用都类似于电路中的标准齐纳二极管, 但电容和ESD钳位电压性能各不相同。这评估所选择的产品从左至右分别是安森美半导体的ESD9X5.0ST5G、ESD9C5.0ST5G和ESD9L5.0ST5G。这三款产品都采用相同封装, 并都拥有5V工作电压。电容分别是65pF、6pF和0.5pF。ESD9X5.0ST5G和ESD9L5.0ST5G由于拥有较大尺寸齐纳结, 故维持低ESD钳位电压性能; 而ESD9C5.0ST5G的PN结较小, 故ESD钳位性能相对最低。

低电容集成ESD保护设计的关键尺度是隔离度(Isolation Dimension)——“l”。这种隔离需要在极小空间中创建突变结, 以维持ESD9L5.0ST5G那样低ESD钳位电压所需要的足够大齐纳结。只有采用先进的高密度沟槽工艺技术将“l”尺度减至最小, 同时维持良好的隔离和突变结, 才能实现这样的效果。利用其

它工艺技术的隔离技术要么使隔离较差, 要么导致“l”尺度较大并因此导致齐纳结较小, 而会使ESD钳位性能较差。

诸如聚合物和陶瓷压敏电阻等其它片外保护技术提供低电容选择, 并没具有相应的灵活性来集成其它类技术以抵消ESD钳位电压性能相对于电容性能的折衷。降低无源器件的电容也会使ESD钳位电压较高。

技术比较

为了进行基准研究, 我们考虑几种流行保护示例的关键规范和ESD钳位性能, 这些示例同时包含低电容无源元件及有源硅产品。为达到公平的比较, 我们所审视的每种技术的选择都采用相同的0402封装, 工作电压为5V, 电容低于1pF, 使其适合USB2.0高速应用。表1及图2中列出这些元件的规范及波形比较。

由于所有这些审视元件的电容值都远低于高速应用的1pF要求, 这些被测元件的关键性能

区分因素就是ESD钳位性能。审视钳位电压波形时, 重要的是为所有这些器件都使用相同的测试设置。

波形下的总面积正比于ESD保护器件能够承受流过自身、流向它所保护IC的能量。ESD事件期间的总电压波形越低, 相应地, 受保护IC将拥有更高的存续机率。初始电压尖峰的产生是IEC61000-4-2波形初始电流尖峰和测试结构电感导致的过冲综合作用的结果。初始尖峰持续时间很短, 这限制了(初始尖峰)传递给IC的能量。保护器件的钳位性能在初始过冲之后的曲线中得到最佳展现。第二个尖峰是主要考虑因素, 因为(这时的)电压波形持续时间更长, 增加了会暴露于IC的总能量。在下面的研究中, 钳位电压定义为第二个尖峰的最大电压。

无源元件(波形C和D)在ESD事件期间的钳位电压最高, 两个无源元件的钳位电压都接近60V。硅Railclamp技术的钳位电压接近50V, 而安森美半导体的硅器件钳位ESD事件至低于20V电压。

结束语

硅器件在ESD事件中的总钳位电压较低, 表现优于无源器件。但有意思的是, Semtech的Railclamp技术与安森美半导体的集成ESD保护技术之间也有重大差别。可以看出, 这两种集成硅ESD保护选择之间的设计和工艺差别使ESD钳位电压性能相差极大。比较波形可以发现, 安森美半导体ESD9L5.0ST5G的总钳位电压最低。这器件采用安森美半导体专有的沟槽隔离(trench isolation)技术, 能够维持极佳的隔离、突变结, 及提供极低钳位电压所需的设计中较大齐纳部分。(更加详细USB2.0应用的眼图评估, 请参见安森美半导体应用注释AND8319: http://www.onsemi.com/pub_link/Collateral/AND8319-D.PDF) ■