

LC87F9W48A

8ビット1チップ USB (FULL-SPEED) マイクロコンピュータ タブレット信号処理回路内蔵

概要

LC87F9W48Aは、最小バスサイクルタイム83.3 nsで動作するCPU部を中心にして、50KバイトのフラッシュROM(オンボード書き換え可能)、3072バイトRAM、オンチップデバッガ機能、高機能16ビットタイマ/カウンタ(8ビットタイマに分割可)、16ビットタイマ(8ビット分割可、8ビットPWM可)、プリスケーラ付き8ビットタイマ×2、ベースタイマ、自動転送機能付き同期式SIO×2、非同期/同期式SIO、シングルマスタI²C/同期式SIO、UART(全二重)、Full-Speed USBインターフェース(デバイス制御機能)、10ビット5チャネルADコンバータ、12ビットPWM×2チャネル、システムクロック分周機能、内蔵リセット回路、タブレット信号処理回路、31要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータである。

特長

フラッシュROM:

- 電源電圧2.7~5.5 Vの幅広いオンボード書き込みが可能
- 128バイト単位でのブロック消去可能
- 2バイト単位での書き込み
- 51200×8ビット

RAM:

- 3072×9ビット

バスサイクルタイム:

- 83.3 ns (CF = 12 MHzの場合) V_{DD} = 2.7~5.5 V

注: バスサイクルタイムはROMの読み出し速度を表す。

タブレット信号処理回路:

- PGA(可変利得アンプ): ゲイン1.0 dB~42.5 dB
低ノイズ0.66 μV/√Hz以下(PGAゲイン=34.5 dB時)
- 乗算器(全波整流回路): 乗算器+コンパレータ+差動シングル変換回路で構成
乗算器ゲイン1倍、2次LPF内蔵
- 積分器用アンプ内蔵
- 基準電圧発生回路内蔵
- 消費電流4.3 mA (Typ) (タブレット信号処理回路部のみ)

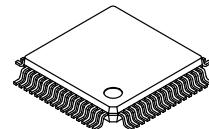
最小命令サイクルタイム(tCYC):

- 250 ns (CF = 12 MHzの場合) V_{DD} = 2.7~5.5 V



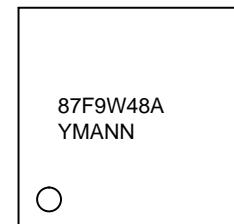
ON Semiconductor®

www.onsemi.jp



TQFP64 7x7
CASE 932 BC

MARKING DIAGRAM



87F9W48A = Specific Device Code
Y = Year of Production
M = Assembly Operation Month
A = Assembly Site
NN = Serialization

PIN CONNECTION

See detailed Pin Connection information on page 5 of this data sheet.

ORDERING INFORMATION

Device	Package	Shipping
LC87F9W48A-F5CE1-H	TQFP64 (Pb-Free)	1250 / JTRAY

ポート:

- 入出力ポート
1ビット単位で入出力指定可能: 35 (P00~P07, P10~P17, P20~P27, P30~P34, P70~P73, PWM0, PWM1)
- USB専用端子: 4 (D+, D-, DPUP, VBUS)
- タブレット信号処理専用端子: 12 (MCLK, MUTE, TCLK, REFIN, VIN+, VIN-, VREF, VOUT, MIN, MOUT, SIN, SOUT)
- 発振専用ポート: 2 (CF1, CF2)
- PLLフィルタ端子: 1 (UFILT)
- リセット端子: 1 ($\overline{\text{RES}}$)
- デバッガ専用端子: 1 (OWP0)
- 電源端子: 8 ($V_{SS1} \sim 3$, AV_{SS} , $V_{DD1} \sim 3$, AV_{DD})

タイマ:

- タイマ0: キャプチャレジスタ付きの16ビットのタイマ/カウンタ
 - ◆ モード0: 8ビットプログラマブルプリスケーラ付8ビットタイマ(8ビットキャプチャレジスタ付)×チャネル
 - ◆ モード1: 8ビットプログラマブルプリスケーラ付8ビットタイマ(8ビットキャプチャレジスタ付)+8ビットカウンタ(8ビットキャプチャレジスタ付)
 - ◆ モード2: 8ビットプログラマブルプリスケーラ付16ビットタイマ(16ビットキャプチャレジスタ付)
 - ◆ モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付)
- タイマ1: PWM/トグル出力可能な16ビットのタイマ/カウンタ
 - ◆ モード0: 8ビットプリスケーラ付8ビットタイマ(トグル出力付)+8ビットプリスケーラ付8ビットタイマ/カウンタ(トグル出力付)
 - ◆ モード1: 8ビットプリスケーラ付8ビットPWM×2チャネル
 - ◆ モード2: 8ビットプリスケーラ付16ビットタイマ/カウンタ(トグル出力付)(下位8ビットからもトグル出力可能)
 - ◆ モード3: 8ビットプリスケーラ付16ビットタイマ(トグル出力付)(下位8ビットはPWMとして使用可能)
- タイマ6: 6ビットプリスケーラ付8ビットタイマ(トグル出力付)
- タイマ7: 6ビットプリスケーラ付8ビットタイマ(トグル出力付)
- ベースタイマ
 - 1. クロックは、システムクロック、タイマ0のプリスケーラ出力から選択できる。
 - 2. 5種類の時間での割り込み発生が可能。

シリアルインターフェース:

- SIO0: 同期式シリアルインターフェース
 - 1. LSB先頭/MSB先頭切換え可能
 - 2. 転送クロック周期: 4/3~512/3tCYC
 - 3. 連続自動データ通信(1~256ビットまでビット単位で設定可能)(バイト単位で転送途中停止・再開が可能)
- SIO1: 8ビット非同期/同期式シリアルインターフェース
 - ◆ モード0: 同期式8ビットシリアルIO(2線式または3線式、転送クロック2~512tCYC)
 - ◆ モード1: 非同期シリアルIO(半二重、データ8ビット、ストップビット1, ポーレート8~2048tCYC)
 - ◆ モード2: バスモード1(スタートビット, データ8ビット、転送クロック2~512tCYC)
 - ◆ モード3: バスモード2(スタート検出, データ8ビット、ストップ検出)
- SIO4: 同期式シリアルインターフェース
 - 1. LSB先頭/MSB先頭切換え可能
 - 2. 転送クロック周期: 4/3~1020/3tCYC
 - 3. 連続自動データ通信(1~2048バイトまでバイト単位で設定可能)(バイト単位あるいはワード単位で転送途中停止・再開が可能)
 - 4. クロック極性切換え可能
 - 5. CRC16演算回路内蔵
- SMIIC2: シングルマスタI²C/8ビット同期式SIO
 - ◆ モード0: Single-masterのマスタモードによる通信
 - ◆ モード1: 同期式8ビットシリアルI/O(データMSB先頭)

全二重UART:

1. データ長: 7/8/9ビット切換え
2. ストップビット長: 1ビット
(連続送信時は2ビット)
3. パリティビット: なし/偶数/奇数選択
(データ長8ビットのみ)
4. ポーレート: 16/3~8192/3tCYC

ADコンバータ: 10ビット×5チャネル

- 10/8ビットADコンバータ分解能切換え
- 自動スタート機能(タブレット信号処理回路の受信期間終了時にAD変換スタートトリガ発生)
- タブレット信号処理回路の積分器出力(SOUT)をAD変換可能

PWM: 周期可変12ビットPWM×2チャネル

USBインターフェース(デバイス制御機能):

1. USB2.0(Full-Speed)準拠
2. 最大6つのユーザ設定エンドポイントをサポート
3. エンドポイントバッファはRAM上にマッピング(表1参照)
4. Vbus接続検出機能

Table 1. ENDPOINT BUFFERS

Endpoint		EP0	EP1	EP2	EP3	EP4	EP5	EP6
Transfer Type	Control	○	—	—	—	—	—	—
	Bulk	—	○	○	○	○	○	○
	Interrupt	—	○	○	○	○	○	○
	Isochronous	—	○	○	○	○	○	○
Max. Payload		64	64	64	64	64	64	64

ウォッチドッグタイマ:

- RC外付けによるウォッチドッグタイマ
- 割り込み,リセットの選択可能

クロック出力機能:

- システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を出力可能

割り込み:

- 31要因10ベクタ

- 割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。
- 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

Table 2. 割り込み

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1/(タブレット受信終了)
3	00013H	HまたはL	INT2/T0L/INT4/USBバスアクティブ
4	0001BH	HまたはL	INT3/INT5/ペースタイマ/USB-Vbus検知
5	00023H	HまたはL	T0H/(タブレット受信終了)
6	0002BH	HまたはL	T1L/T1H/SMIIC2
7	00033H	HまたはL	SIO0/USBバスリセット/USBサスペンド/UART1受信終了
8	0003BH	HまたはL	SIO1/USBエンドポイント/USB-SOF/SIO4/UART1バッファエンプティ/UART1送信終了
9	00043H	HまたはL	ADC/T6/T7
10	0004BH	HまたはL	ポート0/PWM0/PWM1

- 優先レベルX > H > L
- 同一レベルではベクタアドレスの小さいものが優先
- タブレット受信終了割り込みは、ベクタアドレス0000BH、00023Hの選択が可能

サブルーチンスタックレベル: 最大1536レベル
(スタックはRAMの中に設定)

高速乗除算命令:

- 16ビット×8ビット(実行時間: 5tCYC)
- 24ビット×16ビット(実行時間: 12tCYC)
- 16ビット÷8ビット(実行時間: 8tCYC)
- 24ビット÷16ビット(実行時間: 12tCYC)

発振回路およびPLL:

- RC発振回路(内蔵): システムクロック用

- CF発振回路: システムクロック用
- PLL回路(内蔵): USBインターフェース用(図8参照)

内蔵リセット機能:

- パワーオンリセット(POR)機能
 - PORは電源投入時のリセットがかかる。
 - PORの解除レベルを8レベル(1.67 V, 1.97 V, 2.07 V, 2.37 V, 2.57 V, 2.87 V, 3.86 V, 4.35 V)オプションにて切換える可能。
- 低電圧検知リセット(LVD)機能
 - LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかる。
 - LVD機能を使用する/使用しないと低電圧検知レベルを7レベル(1.91 V, 2.01 V, 2.31 V, 2.51 V, 2.81 V, 3.79 V, 4.28 V)オプションにて切換える可能。

スタンバイ機能:

- HALTモード：命令実行停止,周辺回路動作継続
 - ◆ 発振の停止は自動的には行わない。
 - ◆ HALTモードを解除するには次の3つの方法がある。
 1. リセット端子に「L」レベルを入力する。
 2. ウオッチドッグタイマまたは低電圧検知によるリセットの発生。
 3. 割り込みの発生。
 - HOLDモード：命令実行停止,周辺回路動作停止
 - ◆ PLL発振, CF発振, RC発振のいずれも自動的に停止する。
 - ◆ HOLDモードを解除するには次の5つの方法がある。
 1. リセット端子に「L」レベルを入力する。
 2. ウオッチドッグタイマまたは低電圧検知によるリセットの発生。
 3. INT0, INT1, INT2, INT4, INT5の何れかで割り込み要因が成立する。
- ※INT0, INT1はレベル検出設定に限る。

4. ポート0で割り込み要因が成立する。
5. USBインターフェース制御回路でバスアクティブ割り込み要因が成立する。
6. Vbus検知割り込み要因が成立する。

出荷形態:

- TQFP64(7×7) 『鉛・ハロゲンフリー仕様品』

開発ツール:

- オンチップデバッガ : TCB87-TypeC (1線通信用ケーブル)+LC87F9W48A

フラッシュROM書き込み基板:

パッケージ	書き込み基板
TQFP64 (7×7)	W87F9WTQ

フラッシュROMライタ: 表3参照

Table 3. フラッシュROMライタ

メーカー	モデル	対応バージョン	デバイス
フラッシュサポートグループ(FSG)	シングル AF9709/AF9709B/AF9709C (安藤電気製含む)	Rev.03.28以降	87F064SU
オン・セミコンダクター	シングル/ ギャング SKK/SKK Type B/SKK Type C (SANYO FWS)	Application Version 1.08以降	LC87F9W48
	オンボード シングル/ ギャング SKK-DBG Type C (SANYO FWS)	Chip Data Version 2.44以降	

(AFシリーズについてのお問い合わせ先)

フラッシュサポートグループ株式会社

TEL: 053-459-1050

E-mail: sales@j-fsg.co.jp

LC87F9W48A

ピン配置図

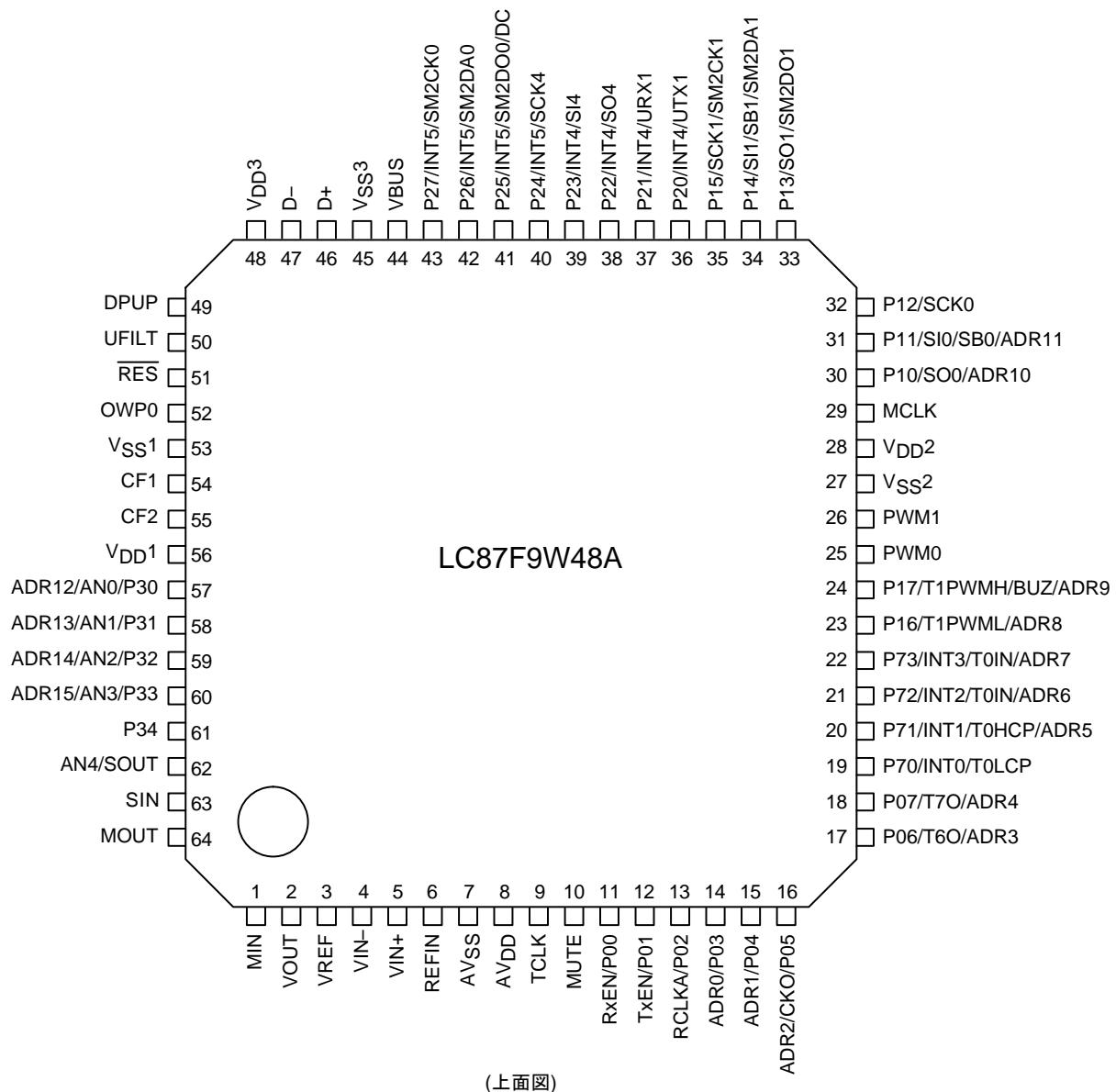


図 1. TQFP64 (7 × 7)

LC87F9W48A

Table 4. ピン配置

Pin Number	Pin Name	Pin Number	Pin Name
1	MIN	33	P13/SO1/SM2DO1
2	VOUT	34	P14/SI1/SB1/SM2DA1
3	VREF	35	P15/SCK1/SM2CK1
4	VIN-	36	P20/INT4/UTX1
5	VIN+	37	P21/INT4/URX1
6	REFIN	38	P22/INT4/SO4
7	AV _{SS}	39	P23/INT4/SI4
8	AV _{DD}	40	P24/INT5/SCK4
9	TCLK	41	P25/INT5/SM2DO0/DC
10	MUTE	42	P26/INT5/SM2DA0
11	P00/RxEN	43	P27/INT5/SM2CK0
12	P01/TxEN	44	VBUS
13	P02/RCLKA	45	V _{SS3}
14	P03/ADR0	46	D+
15	P04/ADR1	47	D-
16	P05/CK0/ADR2	48	V _{DD3}
17	P06/T6O/ADR3	49	DPUP
18	T07/T7O/ADR4	50	UFILT
19	P70/INT0/T0LCP	51	RES
20	P71/INT1/T0HCP/ADR5	52	OWP0
21	P72/INT2/T0IN/ADR6	53	V _{SS1}
22	P73/INT3/T0IN/ADR7	54	CF1
23	P16/T1PWM/L/ADR8	55	CF2
24	P17/T1PWMH/BUZ/ADR9	56	V _{DD1}
25	PWM0	57	P30/AN0/ADR12
26	PWM1	58	P31/AN1/ADR13
27	V _{SS2}	59	P32/AN2/ADR14
28	V _{DD2}	60	P33/AN3/ADR15
29	MCLK	61	P34
30	P10/SO0/ADR10	62	SOUT/AN4
31	P11/SI0/SB0/ADR11	63	SIN
32	P12/SCK0	64	MOUT

システムブロック図

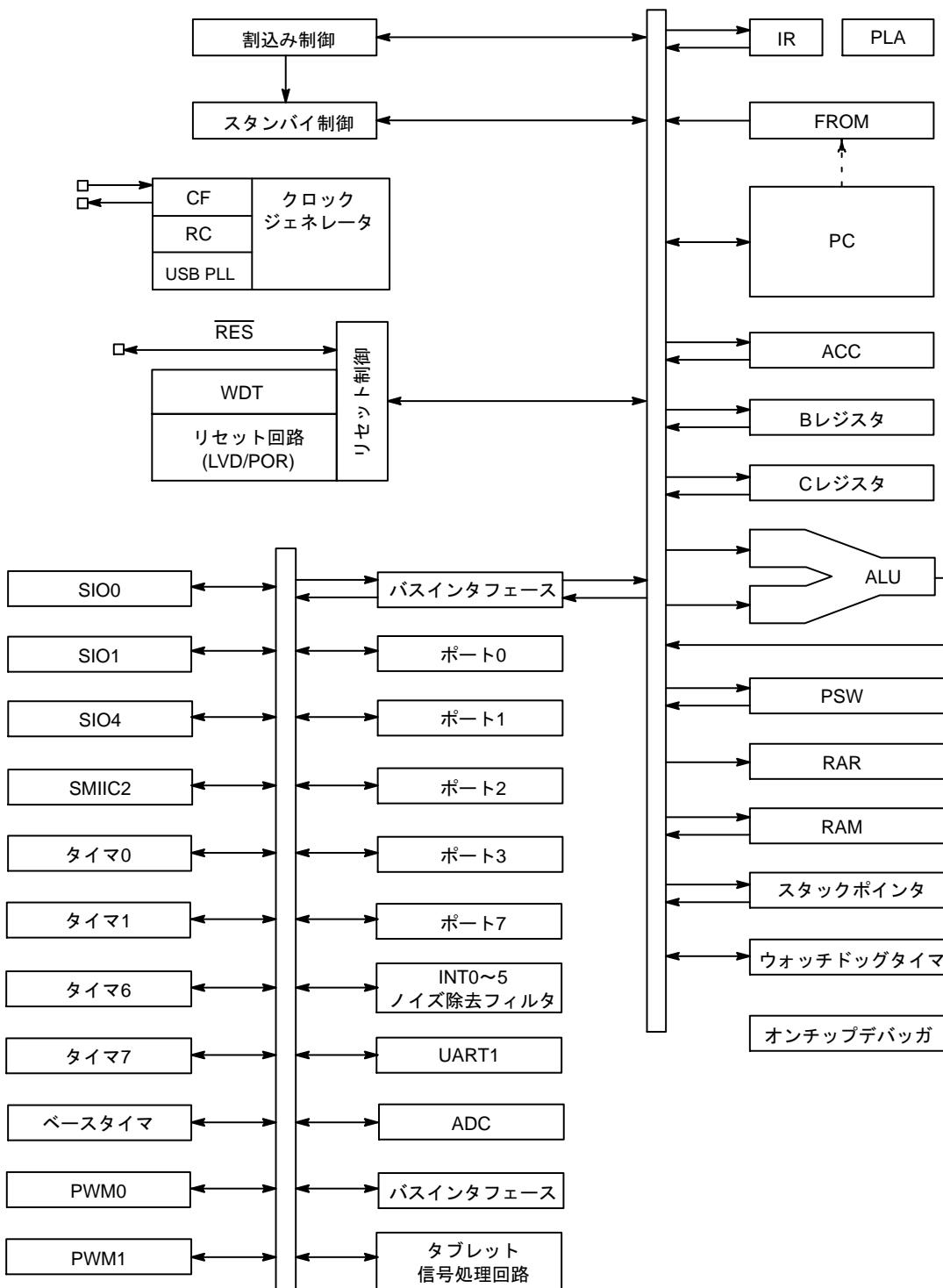


図 2. システムブロック図

端子機能表

Table 5. 端子機能表

端子名	I/O	機能説明	オプション
V _{SS} 1, V _{SS} 2, V _{SS} 3	—	電源の-端子	なし
V _{DD} 1, V _{DD} 2,	—	電源の+端子	なし
V _{DD} 3	—	USB基準電源端子	あり
ポート0	I/O	<ul style="list-style-type: none"> - 8ビットの入出力ポート - 1ビット単位の入出力指定可能 - 1ビット単位のプルアップ抵抗ON/OFF可能 - HOLD解除入力 - ポート0割り込み入力 - 端子機能 P05 : システムクロック出力 P06 : タイマ6トグル出力 P07 : タイマ7トグル出力 	あり
P00~P07			
ポート1	I/O	<ul style="list-style-type: none"> - 8ビットの入出力ポート - 1ビット単位の入出力指定可能 - 1ビット単位のプルアップ抵抗ON/OFF可能 - 端子機能 P10 : SIO0データ出力 P11 : SIO0データ入力/バス入出力 P12 : SIO0クロック入出力 P13 : SIO1データ出力/SMIIC2データ出力(3線式SIOモード時使用) P14 : SIO1データ入力/バス入出力/SMIIC2バス入出力/データ入力 P15 : SIO1クロック入出力/SMIIC2クロック入出力 P16 : タイマ1PWM出力 P17 : タイマ1PWMH出力/ブザー出力 	あり
P10~P17			
ポート2	I/O	<ul style="list-style-type: none"> - 8ビットの入出力ポート - 1ビット単位の入出力指定可能 - 1ビット単位のプルアップ抵抗ON/OFF可能 - 端子機能 P20~P23 : INT4入力/HOLD解除入力/タイマ1イベント入力/ タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 P24~P27 : INT5入力/HOLD解除入力/タイマ1イベント入力/ タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 P20 : UART1送信 P21 : UART1受信 P22 : SIO4データ入出力 P23 : SIO4データ入出力 P24 : SIO4クロック入出力 P25 : SMIIC2データ出力(3線式SIOモード時使用) P26 : SMIIC2バス入出力/データ入力 P27 : SMIIC2クロック入出力 インターフェース受付形式 立ち上がり 立ち下がり 立ち上がり立ち下がり Hレベル Lレベル INT4 ○ ○ ○ × × INT5 ○ ○ ○ × × 	あり
P20~P27			
ポート3	I/O	<ul style="list-style-type: none"> - 5ビットの入出力ポート - 1ビット単位の入出力指定可能 - 1ビット単位のプルアップ抵抗ON/OFF可能 - 端子機能 AD変換入力ポート : AN0~AN3 (P30~P33) 	あり
P30~P34			

Table 5. 端子機能表 (continued)

端子名	I/O	機能説明	オプション																														
ポート7	I/O	<ul style="list-style-type: none"> - 4ビットの入出力ポート - 1ビット単位の入出力指定可能 - P70のみプルアップ抵抗ON/OFF可能 - 端子機能 P70 : INT0入力/HOLD解除入力/タイマ0Lキャプチャ入力/ウォッチドッグタイマ用出力 P71 : INT1入力/HOLD解除入力/タイマ0Hキャプチャ入力 P72 : INT2入力/HOLD解除入力/タイマ0イベント入力/ タイマ0Lキャプチャ入力/高速クロックカウンタ入力 P73 : INT3入力(ノイズフィルタ付き入力)/タイマ0イベント入力/ タイマ0Hキャプチャ入力 <p>インターフェト受付形式</p> <table style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> </tr> <tr> <td>INT1</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> </tr> <tr> <td>INT2</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>INT3</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり立ち下がり	Hレベル	Lレベル	INT0	○	○	×	○	○	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×	なし
	立ち上がり	立ち下がり	立ち上がり立ち下がり	Hレベル	Lレベル																												
INT0	○	○	×	○	○																												
INT1	○	○	×	○	○																												
INT2	○	○	○	×	×																												
INT3	○	○	○	×	×																												
P70~P73																																	
PWM0 PWM1	I/O	PWM0, PWM1出力ポート 汎用入力ポート	なし																														
D+ D-	I/O	USBデータ入出力端子/汎用入出力ポート	なし																														
DPUP	O	D+の1.5 kΩプルアップ抵抗接続端子	なし																														
VBUS	I	USB Vbus検知端子	なし																														
UFILT	I/O	PLLフィルタ回路接続端子	なし																														
RES	I/O	外部リセット入力/内部リセット出力端子	なし																														
CF1	I	セラミック発振子用入力端子	なし																														
CF2	O	セラミック発振子用出力端子	なし																														
OWP0	I/O	デバッガ専用端子	なし																														
MCLK	O	負電源生成用クロック出力端子	なし																														
MUTE	O	送信時アンプ入力ブルダウン制御	なし																														
TCLK	O	送信クロック出力端子	なし																														

オンチップデバッガ端子処理

オンチップデバッガ端子の処理に関しては、別マニュアル【オンチップデバッガRD87導入資料】を参照すること。

未使用端子の推奨処理

Table 6. 未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00～P07	OPEN	出力Low設定
P10～P17	OPEN	出力Low設定
P20～P27	OPEN	出力Low設定
P30～P34	OPEN	出力Low設定
P70～P73	OPEN	出力Low設定
PWM0, PWM1	OPEN	出力Low設定
D+, D-	OPEN	出力Low設定
VBUS	100 kΩの抵抗でプルダウン	–
OWP0	100 kΩの抵抗でプルダウン	–

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

Table 7. ポート出力形態

ポート名	オプション切換え単位	オプション種類	出力形式	プルアップ抵抗
P00～P07 P10～P17 P20～P27 P30～P34	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	–	なし	Nch-オープンドレイン	プログラマブル
P71～P73	–	なし	CMOS	なし
PWM0, PWM1	–	なし	CMOS	なし
D+, D-	–	なし	CMOS	なし

ユーザオプション一覧表

Table 8. ユーザオプション一覧表

オプション名	オプション種類	フラッシュ版	オプション切替単位	指定する内容
ポート出力形式	P00~P07	○	1ビット単位	CMOS
				Nch-オープンドレイン
	P10~P17	○	1ビット単位	CMOS
				Nch-オープンドレイン
	P20~P27	○	1ビット単位	CMOS
				Nch-オープンドレイン
	P30~P34	○	1ビット単位	CMOS
				Nch-オープンドレイン
Program Start Address	-	○	-	00000h
				0FE00h
USB Regulator	USB Regulator	○	-	Use
				Nonuse
	USB Regulator (in HOLD mode)	○	-	Use
				Nonuse
	USB Regulator (in HALT mode)	○	-	Use
				Nonuse
Low-voltage Detection Reset Function	Detection Function	○	-	Enable: Use
				Disable: Nonuse
Power-on Reset Function	Power-on Reset Level	○	-	7-level
				8-level

USB基準電源オプション

V_{DD1} に4.0 V～5.5 Vを供給し、内蔵のUSB基準電圧回路を動作させることにより、USBポート出力用の基準電圧が生成される。この基準電圧回路の動作

はオプションの設定で切換えることができる。オプションの設定方法を以下に示す。

Table 9. USB基準電源オプション

		(1)	(2)	(3)	(4)
オプションの設定	USB Regulator	Use	Use	Use	Nonuse
	USB Regulator in HOLD Mode	Use	Nonuse	Nonuse	Nonuse
	USB Regulator in HALT Mode	Use	Nonuse	Use	Nonuse
基準電圧回路の動作	通常動作時	動作	動作	動作	停止
	HOLDモード時	動作	停止	停止	停止
	HALTモード時	動作	停止	動作	停止

1. 基準電圧回路を停止させると、USBポート出力用基準電圧は V_{DD1} と同じ電圧レベルになる。
2. (2)および(3)は、HALTおよびHOLDモード時に基準電圧回路を停止させる場合に使用する。
3. 基準電圧回路を動作させると、停止状態に比べて消費電流が100 μ A程度増加する。

【回路例1】 $V_{DD1} = V_{DD2} = AV_{DD} = 3.3$ Vの場合

- 基準電圧回路を停止させる((4)の設定)。
- V_{DD3} を $V_{DD1}, V_{DD2}, AV_{DD}$ に接続する。

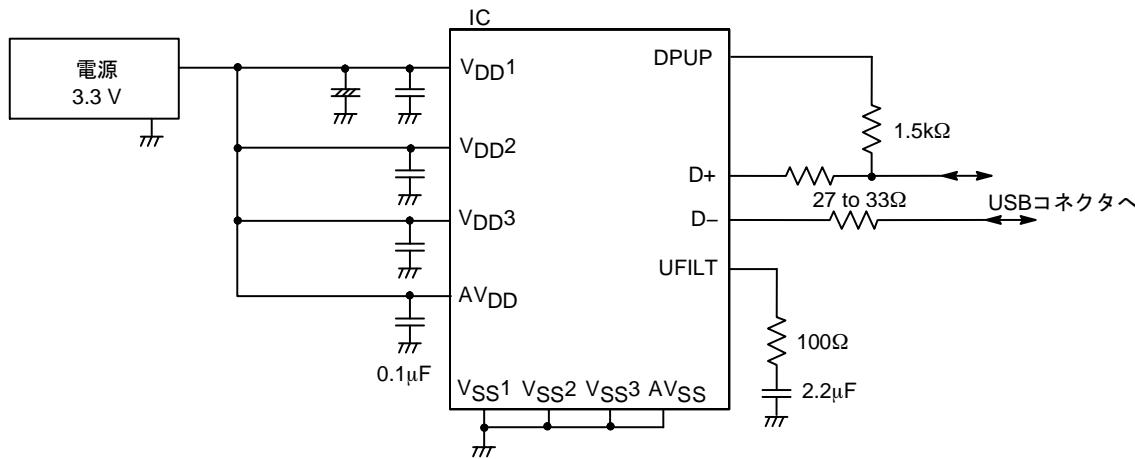


図 3. 回路例1

【回路例2】 $V_{DD1} = V_{DD2} = AV_{DD} = 5.0$ Vの場合

- 基準電圧回路を動作させる((1)の設定)。
- V_{DD3} を $V_{DD1}, V_{DD2}, AV_{DD}$ から分離させ、 V_{DD3} と V_{SS} との間にコンデンサを接続する。

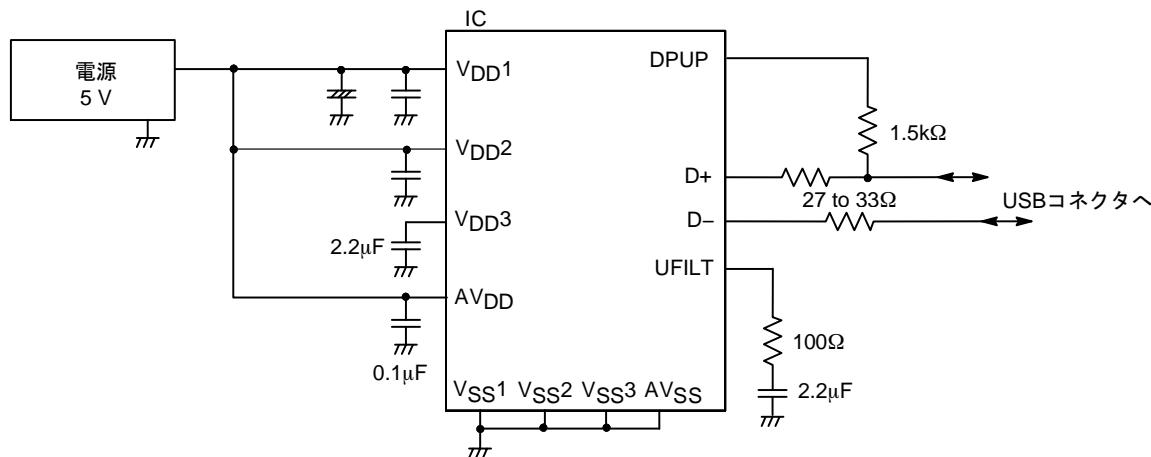


図 4. 回路例2

Table 10. 絶対最大定格

(TA = 25°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					Min	Typ	Max	Unit
最大電源電圧	VDD max	VDD1, VDD2, VDD3, AVDD	VDD1 = VDD2 = VDD3 = AVDD		-0.3		+6.5	V
入力電圧	V _I (1)	CF1			-0.3		VDD+0.3	
	V _I (2)	V _{BUS}			-0.3		+6.5	
入出力電圧	V _{IO} (1)	ポート0,1,2,3,7 PWM0, PWM1, CF2, TCLK, MUTE, MCLK, D+, D-, DPUP, UFILT, OWP0, RES, REFIN, VREF, VIN-, VIN+, VOUT, MIN, MOUT, SIN, SOUT			-0.3		VDD+0.3	
高レベル出力電流 (注4)	ピーク出力電流	IOPH(1)	ポート0,1,2 P71~P73	- CMOS出力選択時 - 適用1端子当り		-10		mA
		IOPH(2)	ポート3	- CMOS出力選択時 - 適用1端子当り		-5		
		IOPH(3)	PWM0, PWM1	適用1端子当り		-20		
		IOPH(4)	TCLK, MUTE, MCLK	適用1端子当り		-35		
	平均出力電流 (注4)	IOMH(1)	ポート0,1,2 P71~P73	- CMOS出力選択時 - 適用1端子当り		-7.5		
		IOMH(2)	ポート3	- CMOS出力選択時 - 適用1端子当り		-3		
		IOMH(3)	PWM0, PWM1	適用1端子当り		-15		
		IOMH(4)	TCLK, MUTE, MCLK	適用1端子当り		-20		
	合計出力電流	ΣIOAH(1)	ポート0 P16, P17, P71~P73 PWM0, PWM1	適用全端子合計		-25		
		ΣIOAH(2)	P10~P15 ポート2 MCLK	適用全端子合計		-50		
		ΣIOAH(3)	ポート0,1,2 P71~P73 PWM0, PWM1 MCLK	適用全端子合計		-75		
		ΣIOAH(4)	ポート3	適用全端子合計		-10		
		ΣIOAH(5)	D+, D-	適用全端子合計		-25		
		ΣIOAH(6)	TCLK, MUTE	適用全端子合計		-30		
低レベル出力電流 (注4)	ピーク出力電流	IOPL(1)	ポート0,1,2,7 PWM0, PWM1	適用1端子当り			20	mA
		IOPL(2)	ポート3	適用1端子当り			10	
		IOPL(3)	TCLK, MUTE, MCLK	適用1端子当り			35	
	平均出力電流 (注4)	IOML(1)	ポート0,1,2,7 PWM0, PWM1	適用1端子当り			15	
		IOML(2)	ポート3	適用1端子当り			7.5	
		IOML(3)	TCLK, MUTE, MCLK	適用1端子当り			20	
	合計出力電流	ΣIOAL(1)	ポート0,7 P16, P17 PWM0, PWM1	適用全端子合計			45	
		ΣIOAL(2)	P10~P15 ポート2 MCLK	適用全端子合計			60	
		ΣIOAL(3)	ポート0,1,2,7 PWM0, PWM1	適用全端子合計			105	
		ΣIOAL(4)	ポート3	適用全端子合計			15	
		ΣIOAL(5)	D+, D-	適用全端子合計			25	
		ΣIOAL(6)	TCLK, MUTE	適用全端子合計			30	
許容消費電力	Pd max	TQFP64 (7x7)	TA = -40~+85°C 熱抵抗評価基板に実装 (注5)				340	mW

Table 10. 絶対最大定格 (continued)

(TA = 25°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					Min	Typ	Max	Unit
動作周囲温度	Topr				-40		+85	°C
保存周囲温度	Tstg				-55		+125	

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

4. 平均出力電流は100 ms期間の平均値を示す。

5. 50 × 50 × 1.6t mm, ガラエボ基板付き

Table 11. 許容動作条件

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					Min	Typ	Max	Unit
動作電源電圧 (注6)	VDD(1)	VDD1 = VDD2 = VDD3 = AVDD	0.245 μs ≤ tCYC ≤ 200 μs オンボード書き込みは除く		2.7		5.5	V
			0.245 μs ≤ tCYC ≤ 0.383 μs USB回路動作時		3.0		5.5	
メモリ保持電源電圧	VHD	VDD1 = VDD2 = VDD3 = AVDD	HOLDモード時RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	VIH(1)	- ポート0,1,2,3 - P71～P73 - P70ポート入力/割り込み側 - PWM0, PWM1		2.7～5.5	0.3 VDD + 0.7			VDD
	VIH(2)	ポート70のウォッチドッグタイマ側		2.7～5.5	0.9 VDD			VDD
	VIH(3)	CF1, RES		2.7～5.5	0.75 VDD			VDD
	VIH(4)	VBUS		2.7～5.5	0.75 VDD		5.5	
低レベル入力電圧	UIL(1)	- ポート0,1,2,3 - P71～P73		4.0～5.5	VSS		0.1 VDD + 0.4	μs
	UIL(2)	- P70ポート入力/割り込み側		2.7～4.0	VSS		0.2 VDD	
	UIL(3)	PWM0, PWM1		4.0～5.5	VSS		0.15 VDD + 0.4	
	UIL(4)			2.7～4.0	VSS		0.2 VDD	
	UIL(5)	ポート70のウォッチドッグタイマ側		2.7～5.5	VSS		0.8 VDD - 1.0	
	UIL(6)	CF1, RES, VBUS		2.7～5.5	VSS		0.25 VDD	
命令サイクルタイム (注7)	tCYC		オンボード書き込みは除く	2.7～5.5	0.245		200	μs
			USB回路動作時	3.0～5.5	0.245		0.383	
外部システムクロック周波数	FEXCF(1)	CF1	- CF2端子オープン - システムクロック分周1/1 - 外部システムクロックのDUTY = 50 ±5%	3.0～5.5	0.1		12	MHz
発振周波数範囲	FmCF(1)	CF1, CF2	12 MHzセラミック発振時 図5参照	2.7～5.5		12		MHz
	FmRC		内蔵RC発振	2.7～5.5	0.5	1.0	2.0	

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.

(参考訳)

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

6. フラッシュROMへのオンボード書き込みは、VDD ≥ 3.0 Vとすること。

7. tCYCと発振周波数の関係式は、1/1分周時 : 3/FmCF、1/2分周時 : 6/FmCF。

Table 12. 電気的特性

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					Min	Typ	Max	Unit
高レベル入力電流	I _H (1)	ポート0,1,2,3,7 RES, PWM0, PWM1, D+, D-, VBUS	出力ディセーブル ブルアップ抵抗オフ V _{IN} = V _{DD} (出力Tr.のオフリーケ 電流を含む)	2.7~5.5			1	μA
	I _H (2)	CF1	V _{IN} = V _{DD}	2.7~5.5			15	
低レベル入力電流	I _L (1)	ポート0,1,2,3,7 RES, PWM0, PWM1, D+, D-, VBUS	出力ディセーブル ブルアップ抵抗オフ V _{IN} = V _{SS} (出力Tr.のオフリーケ 電流を含む)	2.7~5.5	-1			
	I _L (2)	CF1	V _{IN} = V _{SS}	2.7~5.5	-15			
高レベル出力電圧	V _{OH} (1)	ポート0,1,2,3 P71~P73	I _{OH} = -1 mA	4.5~5.5	V _{DD} - 1			V
	V _{OH} (2)		I _{OH} = -0.4 mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (3)		I _{OH} = -0.2 mA	2.7~5.5	V _{DD} - 0.4			
	V _{OH} (4)	PWM0, PWM1 P05 (CKOシステムクロック出力 機能使用時)	I _{OH} = -10 mA	4.5~5.5	V _{DD} - 1.5			
	V _{OH} (5)		I _{OH} = -1.6 mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (6)		I _{OH} = -1 mA	2.7~5.5	V _{DD} - 0.4			
	V _{OH} (7)	TCLK, MUTE, MCLK	25%設定 I _{OH} = -1 mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (8)		50%設定 I _{OH} = -2 mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (9)		75%設定 I _{OH} = -3 mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (10)		100%設定 I _{OH} = -4 mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (11)	DPUP	I _{OH} = -4 mA	3.0~5.5	V _{DD} - 0.2			
低レベル出力電圧	V _{OL} (1)	ポート0,1,2,7 PWM0, PWM1	I _{OL} = 10 mA	4.5~5.5			1.5	
	V _{OL} (2)		I _{OL} = 1.6 mA	3.0~5.5			0.4	
	V _{OL} (3)		I _{OL} = 1 mA	2.7~5.5			0.4	
	V _{OL} (4)	ポート3	I _{OL} = 1.6 mA	3.0~5.5			0.4	
	V _{OL} (5)		I _{OL} = 1 mA	2.7~5.5			0.4	
	V _{OL} (6)	TCLK, MUTE, MCLK	25%設定 I _{OL} = 1 mA	3.0~5.5			0.4	
	V _{OL} (7)		50%設定 I _{OL} = -2 mA	3.0~5.5			0.4	
	V _{OL} (8)		75%設定 I _{OL} = -3 mA	3.0~5.5			0.4	
	V _{OL} (9)		100%設定 I _{OL} = -4 mA	3.0~5.5			0.4	
ブルアップ抵抗	Rpu(1)	ポート0,1,2,3 ポート7	V _{OH} = 0.9 V _{DD}	4.5~5.5	15	35	80	kΩ
	Rpu(2)			2.7~4.5	18	50	150	
ヒステリシス電圧	VHYS	RES ポート0,1,2,3,7 VBUS		2.7~5.5		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} = V _{SS} f = 1 MHz TA = 25°C	2.7~5.5		10		pF

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

Table 13. シリアル入出力特性

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目		記号	適用端子 ・備考	条件	VDD[V]	規格					
SIO0シリアル入出力特性(注8)						Min	Typ	Max	Unit		
シリアル入力	入力クロック	周期	tSCK(1)	SCK0(P12)	図11参照 - 連続データ送受信モード - USB, SIO4を同時に使用しない - 図11参照 - (注9)	2.7~5.5	2			tCYC	
		低レベルパルス幅	tSCKL(1)				1				
		高レベルパルス幅	tSCKH(1)				1				
			tSCKHA(1a)				4				
			tSCKHA(1b)				7				
			tSCKHA(1c)				9				
	出力クロック	周期	tSCK(2)	SCK0(P12)	- CMOS出力選択時 - 図11参照 - 連続データ送受信モード - USB, SIO4を同時に使用しない - CMOS出力選択時 - 図11参照	2.7~5.5	4/3			tSCK	
		低レベルパルス幅	tSCKL(2)				1/2				
		高レベルパルス幅	tSCKH(2)				1/2				
			tSCKHA(2a)				tSCKH(2) +2tCYC		tSCKH(2) +(10/3) tCYC		
			tSCKHA(2b)				tSCKH(2) +2tCYC		tSCKH(2) +(19/3) tCYC		
			tSCKHA(2c)				tSCKH(2) +2tCYC		tSCKH(2) +(25/3) tCYC		
シリアル入力	データセットアップ時間		tsDI(1)	S00(P11), S10(P11)	- SIOCLKの立ち上がり に対して規定する - 図11参照	2.7~5.5	0.03			μs	
	データホールド時間		thDI(1)				0.03				
シリアル出力	入力クロック	出力遅延時間	tdDO(1)	S00(P10), S00(P11)	- 連続データ送受信モード - (注10) - 同期式8ビットモード - (注10) - (注10)	2.7~5.5			(1/3)tCYC +0.05		
			tdDO(2)						1tCYC +0.05		
	出力クロック		tdDO(3)						(1/3)tCYC +0.05		

Table 13. シリアル入出力特性 (continued)

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子 ・備考	条件	VDD[V]	規格	Min	Typ	Max	Unit
----	----	-------------	----	--------	----	-----	-----	-----	------

SIO1シリアル入出力特性(注8)

シリアルク ロック	入力クロック	周期	tSCK(3)	SCK1(P15)	図11参照	2.7~5.5	2			tCYC	
		低レベルパルス幅	tSCKL(3)				1				
		高レベルパルス幅	tSCKH(3)				1				
	出力クロック	周期	tSCK(4)	SCK1(P15)	- CMOS出力選択時 - 図11参照	2.7~5.5	2			tSCK	
		高レベルパルス幅	tSCKL(4)				1/2				
		高レベルパルス幅	tSCKH(4)				1/2				
シリアル入 力	データセットアップ時間	tsDI(2)	SB1(P14), SI1(P14)		- SIOCLKの立ち上がり にに対して規定する - 図11参照	2.7~5.5	0.03			μs	
	データホールド時間	thDI(2)					0.03				
シリアル出 力	出力遅時間	tdDO(4)	SO1(P13), SB1(P14)		- SIOCLKの立ち下がり にに対して規定する - オープンドレイン出力 時は出力変化開始までの時間とし て規定する - 図11参照	2.7~5.5			(1/3)tCYC +0.05		

SIO4シリアル入出力特性(注8)

シリアルク ロック	入力クロック	周期	tSCK(5)	SCK4(P24)	図11参照 - USB, SIO0の連続転送 モードを同時に使用しない - 図11参照 - (注9)	2.7~5.5	2			tCYC	
		低レベルパルス幅	tSCKL(5)				1				
		高レベルパルス幅	tSCKH(5)				1				
		tSCKHA(5a)					4				
		tSCKHA(5b)					7				
		tSCKHA(5c)					10				
	出力クロック	周期	tSCK(6)	SCK4(P24)	- CMOS出力選択時 - 図11参照 - USB, SIO0の連続転送 モードを同時に使用しない - CMOS出力選択時 - 図11参照	2.7~5.5	4/3			tSCK	
		低レベルパルス幅	tSCKL(6)				1/2				
		高レベルパルス幅	tSCKH(6)				1/2				
		tSCKHA(6a)					tSCKH(6) +(5/3) tCYC		tSCKH(6) +(10/3) tCYC		
		tSCKHA(6b)					tSCKH(6) +(5/3) tCYC		tSCKH(6) +(19/3) tCYC		
		tSCKHA(6c)					tSCKH(6) +(5/3) tCYC		tSCKH(6) +(28/3) tCYC		
シリアル入力	データセットアップ 時間	tsDI(3)	SO4(P22), SI4(P23)		- SIOCLKの立ち上がり にに対して規定する - 図11参照	2.7~5.5	0.03			μs	
	データホールド時間	thDI(3)					0.03				
シリアル出力	出力遅時間	tdDO(5)	SO4(P22), SI4(P23)		- SIOCLKの立ち下がり にに対して規定する - オープンドレイン出力 時は出力変化開始までの時間とし て規定する - 図11参照	2.7~5.5			(1/3)tCYC +0.05		

Table 13. シリアル入出力特性 (continued)

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子 ・備考	条件	VDD[V]	規格	Min	Typ	Max	Unit
----	----	-------------	----	--------	----	-----	-----	-----	------

SMIIC2単純SIOモード時入出力特性(注8)

シリアルクロック	入力クロック	周期	tSCK(7)	SM2CK0(P27), SM2CK1(P15)	図11参照	2.7~5.5	4/3			tCYC
		低レベルパルス幅	tSCKL(7)				2/3			
		高レベルパルス幅	tSCKH(7)				2/3			
	出力クロック	周期	tSCK(8)	SM2CK0(P27), SM2CK1(P15)	- CMOS出力選択時 - 図11参照	2.7~5.5	4/3			tSCK
		低レベルパルス幅	tSCKL(8)					1/2		
		高レベルパルス幅	tSCKH(8)					1/2		
シリアル入力	データセットアップ時間	tsDI(4)	SM2DA0(P26), SM2DA1(P14)		- SIOCLKの立ち上がり にに対して規定する - 図11参照	2.7~5.5	0.03			μs
	データホールド時間	thDI(4)					0.03			
シリアル出力	出力遅時間	tdDO(6)	SM2DO0(P25), SM2DO1(P13), SM2DA0(P26), SM2DA1(P14)		- SIOCLKの立ち下がり にに対して規定する - 出力変化開始までの時間として規 定する - 図11参照	2.7~5.5			(1/2)tCYC +0.05	

SMIIC0 I²Cモード時入出力特性(注8)

クロック	入力クロック	周期	tSCL	SM2CK0(P27), SM2CK1(P15)	図13参照	2.7~5.5	5			Tfilt		
		低レベルパルス幅	tSCLL				2.5					
		高レベルパルス幅	tSCLH				2					
	出力クロック	周期	tSCLx	SM2CK0(P27), SM2CK1(P15)	出力変化開始までの時間として規定 する	2.7~5.5	10			tSCL		
		低レベルパルス幅	tSCLLx					1/2				
		高レベルパルス幅	tSCLHx					1/2				
SM2CK, SM2DA端子入力スパイク抑圧時間			tsp	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)	図13参照	2.7~5.5			1	Tfilt		
スタート、ストップ間の バス解放時間	入力	tBUF	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)		図13参照	2.7~5.5	2.5			Tfilt		
	出力	tBUFx			- 標準クロックモード時 - 出力変化開始までの時間として規 定する		5.5			μs		
					- 高速クロックモード時 - 出力変化開始までの時間として規 定する		1.6					
スタート、リスタートコ ンディションのホールド 時間	入力	tHD;STA	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)		- SMIICレジスタ制御ビット SHDS = 0のとき - 図13参照	2.7~5.5	2.0			Tfilt		
	出力	tHD;STAx			- SMICレジスタ制御ビット SHDS = 1のとき - 図13参照		2.5					
					- 標準クロックモード時 - 出力変化開始までの時間として規 定する		4.1			μs		
					- 高速クロックモード時 - 出力変化開始までの時間として規 定する		1.0					
リスタートコンディショ ンのセットアップ時間	入力	tSU;STA	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)		図13参照	2.7~5.5	1.0			Tfilt		
	出力	tSU;STAx			- 標準クロックモード時 - 出力変化開始までの時間として規 定する		5.5			μs		
					- 高速クロックモード時 - 出力変化開始までの時間として規 定する		1.6					

Table 13. シリアル入出力特性 (continued)

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子 ・備考	条件	VDD[V]	規格	Min	Typ	Max	Unit
SMIIC0 I ² Cモード時入出力特性(注8)									
ストップコンディション のセットアップ時間	入力	tSU;STO	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)	図13参照	2.7~5.5	1.0			Tfilt
	出力	tSU;STOx		- 標準クロックモード時 - 出力変化開始までの時間として規定する		4.9			μs
				- 高速クロックモード時 - 出力変化開始までの時間として規定する		1.1			
データホールド時間	入力	tHD;DAT	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)	図13参照	2.7~5.5	0			Tfilt
	出力	tHD;DATx		- 出力変化開始までの時間として規定する		1		1.5	
データセットアップ時間	入力	tSU;DAT	SM2CK0(P27), SM2CK1(P15), SM2DA0(P26), SM2DA1(P14)	図13参照	2.7~5.5	1			Tfilt
	出力	tSU;DATx		- 出力変化開始までの時間として規定する		1tSCL- 1.5Tfilt			

8. 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。
9. 連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態でSIORUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間をtSCKHAより長くすること。
10. SIOCLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。
図11参照。
11. Tfiltは、レジスタSMIC2BRGのbit7, 6 (BRP1, BRP0)の設定値と、システムクロック周波数により決定される値

BRP1	BRP0	Tfilt
0	0	(1/3)tCYC×1
0	1	(1/3)tCYC×2
1	0	(1/3)tCYC×3
1	1	(1/3)tCYC×4

Tfiltは以下の範囲になるように、(BRP1, BRP0)を設定すること。250 ns ≥ Tfilt > 140 ns

12. 標準クロックモードはSMIC2BRGの設定を、以下の条件の範囲内とすること。

250 ns ≥ Tfilt > 140 ns; BRDQ (bit5) = 1; SCL周波数設定 ≤ 100 kHz

高速クロックモードはSMIC2BRGの設定を、以下の条件の範囲内とすること。

250 ns ≥ Tfilt > 140 ns; BRDQ (bit5) = 0; SCL周波数設定 ≤ 400 kHz

Table 14. パルス入力条件

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	Min	Typ	Max	
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20~P23), INT5(P24~P27)	-割り込み要因フラグをセ ットできる -タイマ0,1へのイベント入 力ができる	2.7~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の場合 のINT3 (P73)	-割り込み要因フラグをセ ットできる -タイマ0へのイベント入力 ができる	2.7~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の場 合のINT3 (P73)	-割り込み要因フラグをセ ットできる -タイマ0へのイベント入力 ができる	2.7~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の場 合のINT3 (P73)	-割り込み要因フラグをセ ットできる -タイマ0へのイベント入力 ができる	2.7~5.5	256			
	tPIL(5)	RES	リセットできる	2.7~5.5	200			μs

Table 15. AD変換特性(10ビットAD変換モード)

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	Min	Typ	Max	
分解能	N	AN0(P30) ~AN3(P33) AN4(SOUT)		2.7~5.5		10		bit
絶対精度	ET		(注13)	2.7~5.5			±4	LSB
変換時間	TCAD		変換時間算出方法参照 (注14)	2.7~5.5	13		41	μs
アナログ入力 電圧範囲	VAIN			2.7~5.5	VSS		VDD	V
アナログポート 入力電流	IAINH		VAIN = VDD	2.7~5.5			1	μA
	IAINL		VAIN = VSS	2.7~5.5	-1			

13. 絶対精度は量子化誤差(±1/2LSB)を除く。また、絶対精度はAD変換時、アナログ入力チャネルに隣接する端子の入出力変化がない状態。

14. 変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。
変換時間は下記のとき、2倍となる。

- システムリセット後、10ビットAD変換モードで最初のAD変換を行った時。
- AD変換モードを8ビット変換モードから10ビット変換モードに切換え、最初のAD変換を行った時。

変換時間算出方法

10ビットAD変換モード : TCAD(変換時間) = ((40 / (AD分周比)) + 2) × (1/3) × tCYC

Table 16. 推奨動作条件

外部発振 FMCF [MHz]	電源電圧範囲 VDD [V]	システム分周 (SYSDIV)	サイクルタイム tCYC [ns]	AD分周比 (ADDIV)	変換時間 (TCAD) [μs]	
					10ビットAD	
12	2.7~5.5	1/1	250	1/4	13.5	

Table 17. パワーオンリセット(POR)特性

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	条件	規格			
			オプション設定電圧	Min	Typ	Max
POR解除電圧	PORRL	オプション選択 (注15)	1.67 V	1.55	1.67	1.79
			1.97 V	1.85	1.97	2.09
			2.07 V	1.95	2.07	2.19
			2.37 V	2.25	2.37	2.49
			2.57 V	2.45	2.57	2.69
			2.87 V	2.75	2.87	2.99
			3.86 V	3.73	3.86	3.99
			4.35 V	4.21	4.35	4.49
検知電圧不定領域	POUKS	図15参照 (注16)			0.7	0.95
電源立上り時間	PORIS	VDD = 0 V ~ 1.6 Vまでの電源立上り時間				100 ms

15. 低電圧検知リセットを非選択時にPOR解除電圧を8つのレベルから選択することができる。

16. パワーオンリセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

Table 18. 低電圧検知リセット(LVD)特性

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	条件	規格			
			オプション設定電圧	Min	Typ	Max
LVDリセット電圧 (注18)	LVDDET	オプション選択 図16参照 (注17) (注19)	1.91 V	1.81	1.91	2.01
			2.01 V	1.91	2.01	2.11
			2.31 V	2.21	2.31	2.41
			2.51 V	2.41	2.51	2.61
			2.81 V	2.71	2.81	2.91
			3.79 V	3.69	3.79	3.89
			4.28 V	4.18	4.28	4.38
LVD検知電圧ヒステリシス	LVHYS		1.91 V		55	
			2.01 V		55	
			2.31 V		55	
			2.51 V		55	
			2.81 V		55	
			3.79 V		60	
			4.28 V		65	
検知電圧不定領域	LVUKS	図16参照 (注20)			0.7	0.95
低電圧最小検知幅(応答感度)	TLVDW	LVDDET-0.5 V 図17参照		0.2		

17. 低電圧検知リセットを選択時にLVDリセット電圧を7つのレベルから選択することができる。

18. ヒステリシス電圧はLVDリセット電圧の規格値には含まれない。

19. ポートに出力変化や大電流を流すとLVDリセット電圧の規格値を超える場合がある。

20. 低電圧検知リセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

Table 19. 消費電流特性

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子 ・備考	条件	VDD[V]	規格					
					Min	Typ	Max	Unit		
通常動作時消費電流 (注9-1) (注9-2)	IDDOP(1)	VDD1=VDD2= VDD3=AVDD	<ul style="list-style-type: none"> - FmCF = 12 MHzセラミック発振時 - システムクロックは12 MHz側 - 内蔵PLL発振は停止 - 内蔵RC発振は停止 - USB回路は停止 - 1/1分周時 	4.5~5.5		6.6	12	mA		
				3.0~3.6		3.8	6.5			
通常動作時 消費電流 (注9-1) (注9-2)	IDDOP(2)	VDD1=VDD2= VDD3=AVDD	<ul style="list-style-type: none"> - FmCF = 12 MHzセラミック発振時 - システムクロックは12 MHz側 - 内蔵PLL発振動作時 - 内蔵RC発振は停止 - USB回路動作時 - 1/1分周時 	4.5~5.5		11	19	mA		
				3.0~3.6		5.6	9.8			
	IDDOP(3)			4.5~5.5		3.9	6.8			
				3.0~3.6		2.2	3.8			
				2.7~3.0		1.9	3.0			
	IDDOP(4)		<ul style="list-style-type: none"> - FmCF = 0 Hz (発振停止) - システムクロックは内蔵RC発振 - 1/2分周時 	4.5~5.5		0.28	0.89			
				3.0~3.6		0.17	0.52			
				2.7~3.0		0.15	0.43			
HALTモード 消費電流 (注21) (注22)	IDDHALT(1)	VDD1=VDD2= VDD3=AVDD	<ul style="list-style-type: none"> - HALTモード - FmCF = 12 MHzセラミック発振時 - システムクロックは12 MHz側 - 内蔵PLL発振は停止 - 内蔵RC発振は停止 - USB回路は停止 - 1/1分周時 	4.5~5.5		3.6	6.4	mA		
				3.0~3.6		1.9	3.4			
	IDDHALT(2)			4.5~5.5		7.2	14			
				3.0~3.6		3.7	6.6			
	IDDHALT(3)		<ul style="list-style-type: none"> - HALTモード - FmCF = 12 MHzセラミック発振時 - システムクロックは6 MHz側 - 内蔵PLL発振動作時 - 内蔵RC発振は停止 - USB回路動作時 - 1/1分周時 	4.5~5.5		2.3	4.2			
				3.0~3.6		1.2	2.1			
				2.7~3.0		0.94	1.6			
	IDDHALT(4)		<ul style="list-style-type: none"> - HALTモード - FmCF = 0 Hz (発振停止) - システムクロックは内蔵RC発振 - 1/2分周時 	4.5~5.5		0.13	0.41			
				3.0~3.6		0.08	0.24			
				2.7~3.0		0.07	0.19			
HOLDモード 消費電流 (注21) (注22)	IDDHOLD(1)	VDD1=VDD2= VDD3=AVDD	<ul style="list-style-type: none"> - HOLDモード - CF1 = VDDまたはオープン(外部クロック時) 	4.5~5.5		0.09	40	μA		
				3.0~3.6		0.04	17			
				2.7~3.0		0.03	13			
	IDDHOLD(2)			4.5~5.5		2.9	44			
				3.0~3.6		2.3	20			
				2.7~3.0		2.1	16			

21. 消費電流は出力Tr.、内蔵ブルアップ抵抗およびタブレットアナログ信号処理回路に流れる電流を含まない。

22. LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

Table 20. USB特性、タイミング

(TA = -40°C to +85°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	条件	規格			
			Min	Typ	Max	Unit
高レベル出力	V _{OH(USB)}	GND \sim 15 k Ω $\pm 5\%$	2.8		3.6	V
低レベル出力	V _{OL(USB)}	3.6 V \sim 1.5 k Ω $\pm 5\%$	0.0		0.3	V
出力信号クロスオーバ電圧	V _{CROS}		1.3		2.0	V
差分入力感度	V _{DI}	(D+) - (D-)	0.2			V
差分入力コモンモード範囲	V _{CM}		0.8		2.5	V
高レベル入力	V _{IH(USB)}		2.0			V
低レベル入力	V _{IL(USB)}				0.8	V
USBデータ立ち上り時間	t _R	- R _S = 27 \sim 33 Ω , C _L = 50 pF - V _{DD3} = 3.0 \sim 3.6 V	4		20	ns
USBデータ立ち下り時間	t _F	- R _S = 27 \sim 33 Ω , C _L = 50 pF - V _{DD3} = 3.0 \sim 3.6 V	4		20	ns

Table 21. F-ROM書き込み特性

(at TA = +10°C to +55°C, VSS1 = VSS2 = VSS3 = AVSS = 0 V)

項目	記号	適用端子	条件	V _{DD} [V]	規格			
					Min	Typ	Max	Unit
オンボード書き込み電流	IDDFW(1)	V _{DD1}	マイコン部の消費電流を除く	3.0 \sim 5.5		5	10	mA
書き込み時間	t _{FW(1)}		消去動作	3.0 \sim 5.5		20	30	ms
	t _{FW(2)}		書き込み動作			40	60	μ s

メイン・システムクロック発振回路

外付けの回路定数は、発振子メーカーによって安定に発振することを確認した回路定数を使用すること。

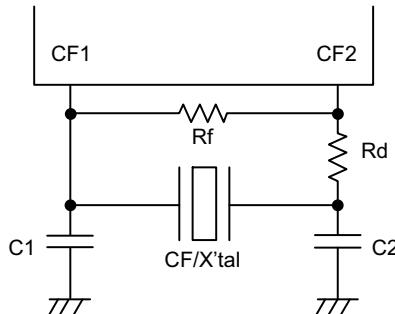


図 5. メイン・システムクロック発振回路

注: 回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

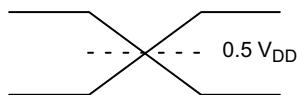


図 6. ACタイミング測定点

LC87F9W48A

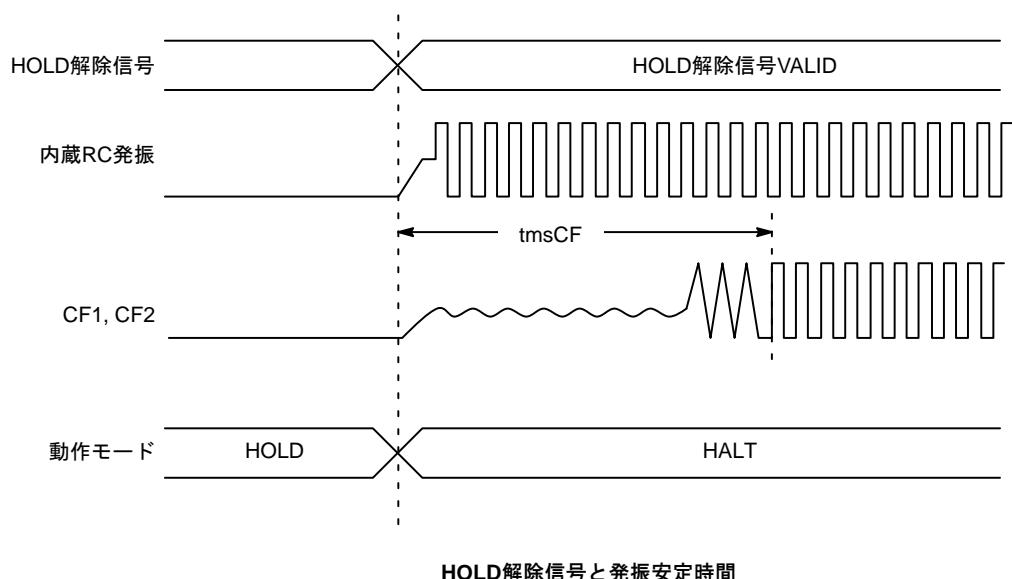
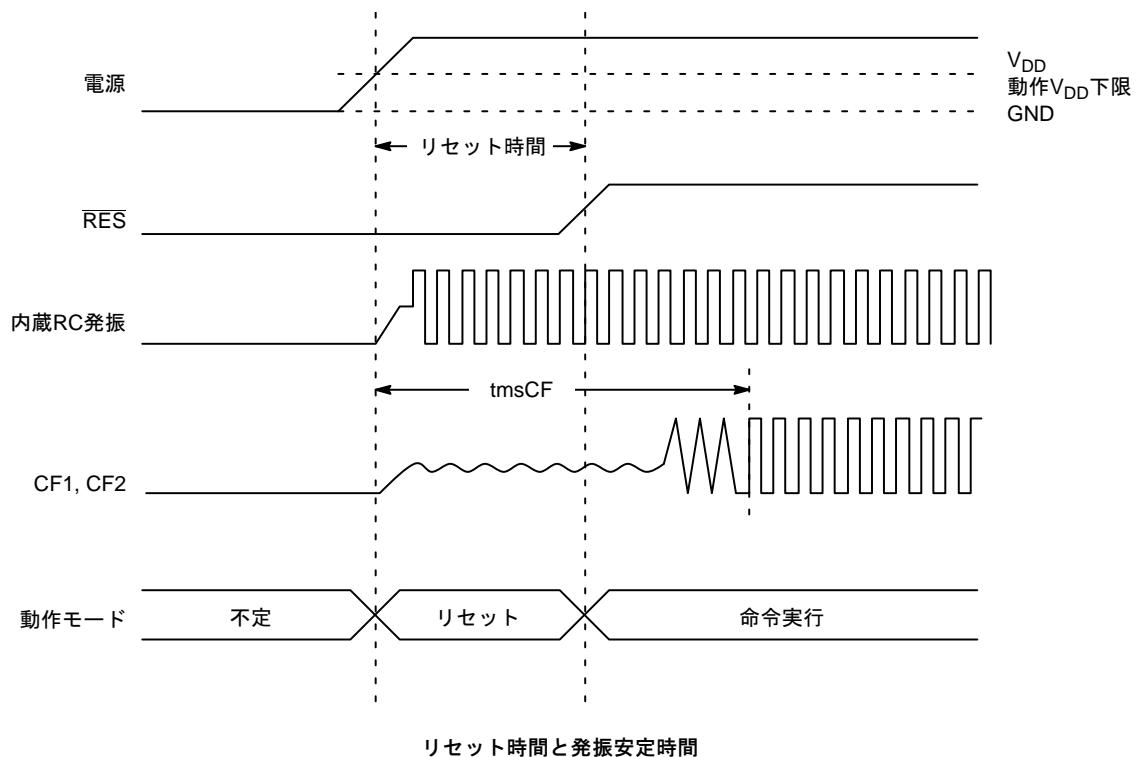


図 7. 発振安定時間

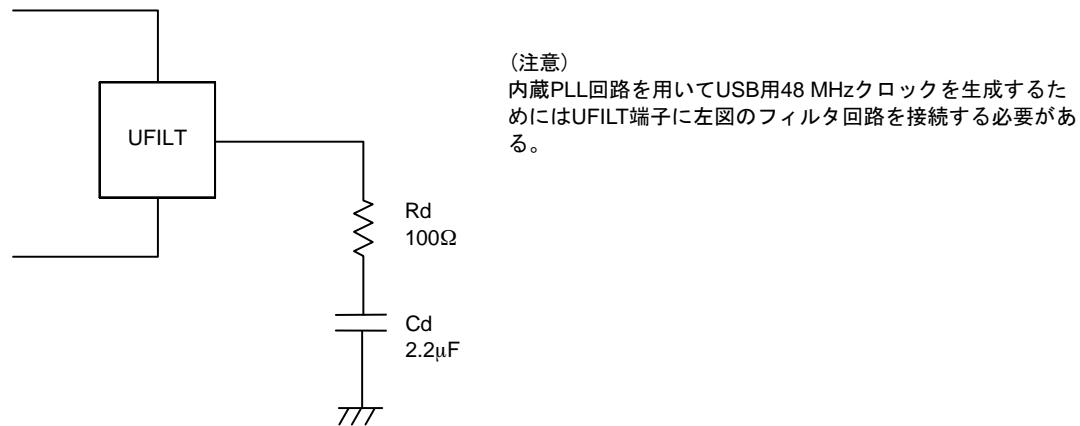


図 8. USB用内蔵PLL外付けフィルタ回路

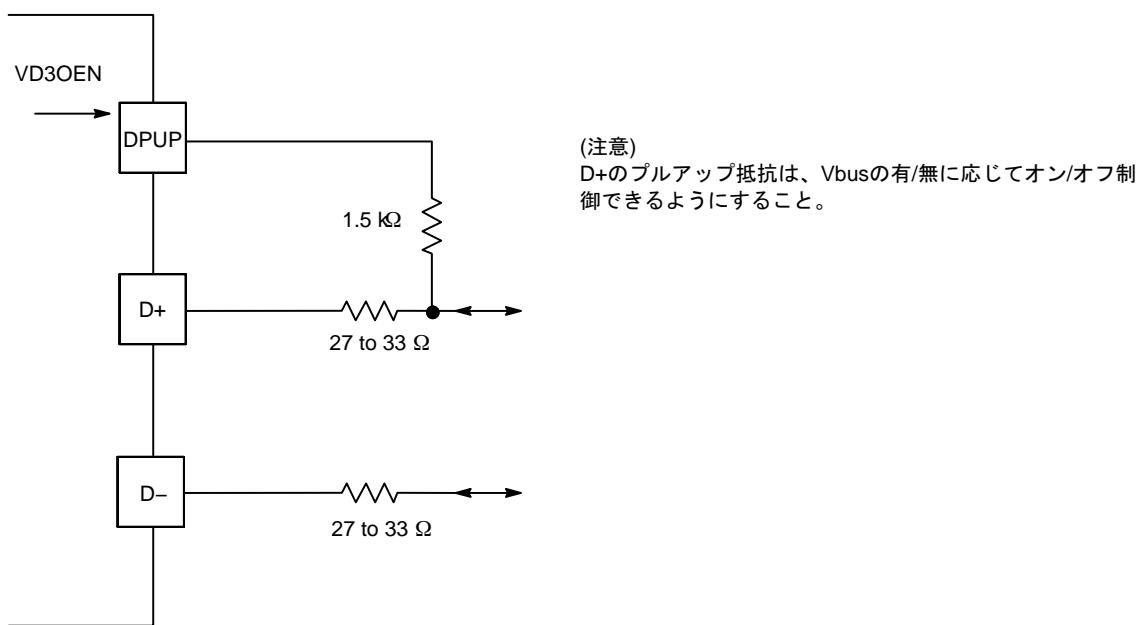


図 9. USBポート周辺回路

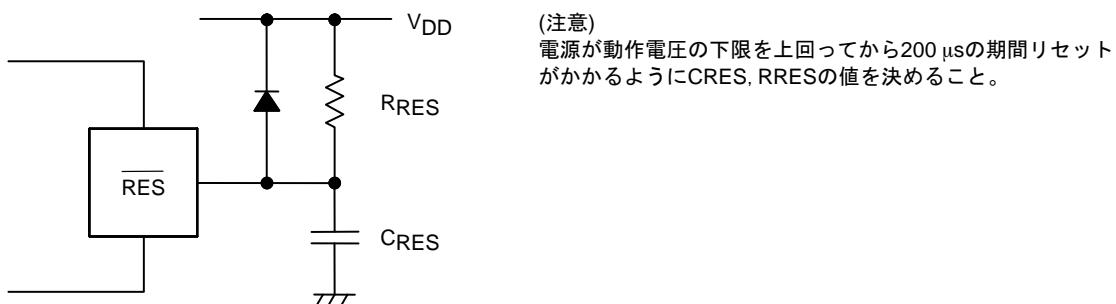


図 10. リセット回路

LC87F9W48A

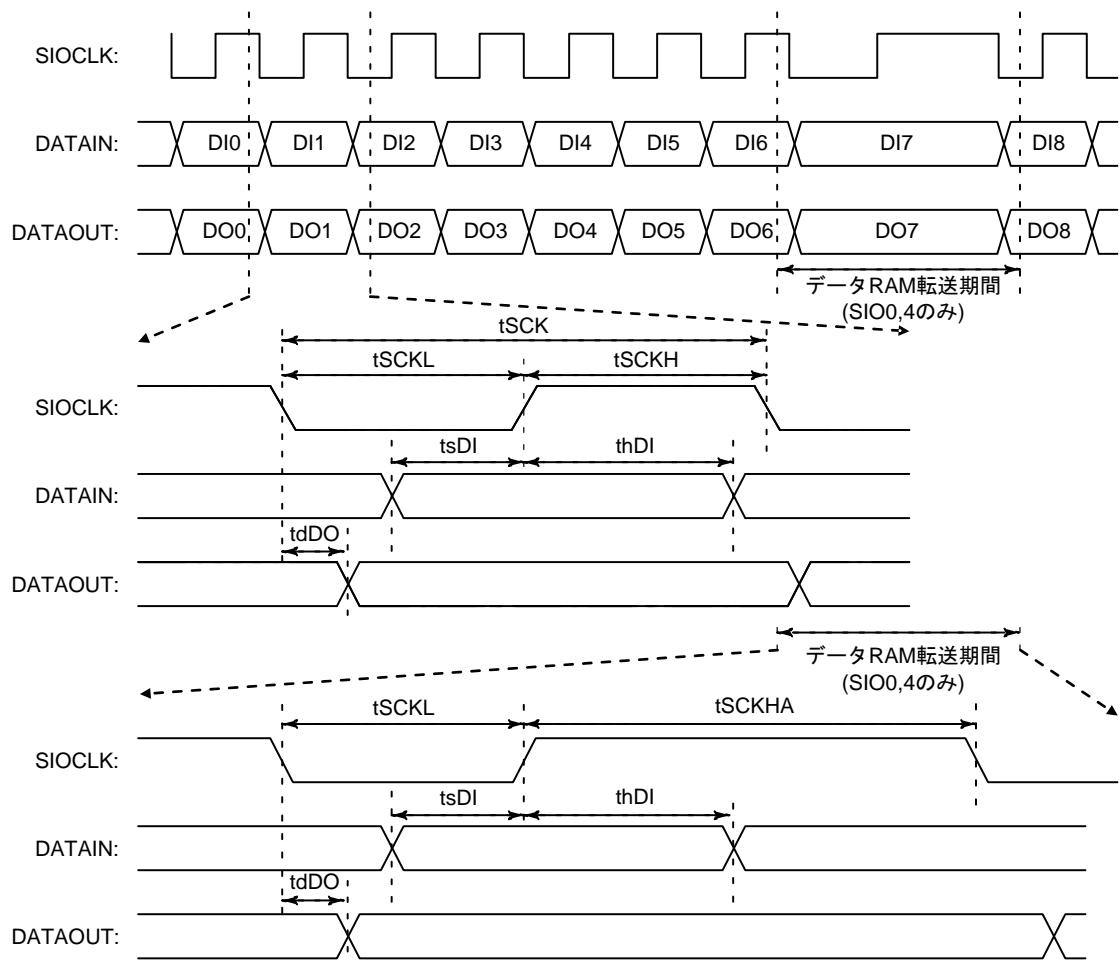


図 11. シリアル入出力波形

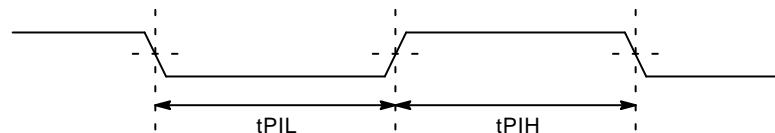


図 12. パルス入力タイミング波形

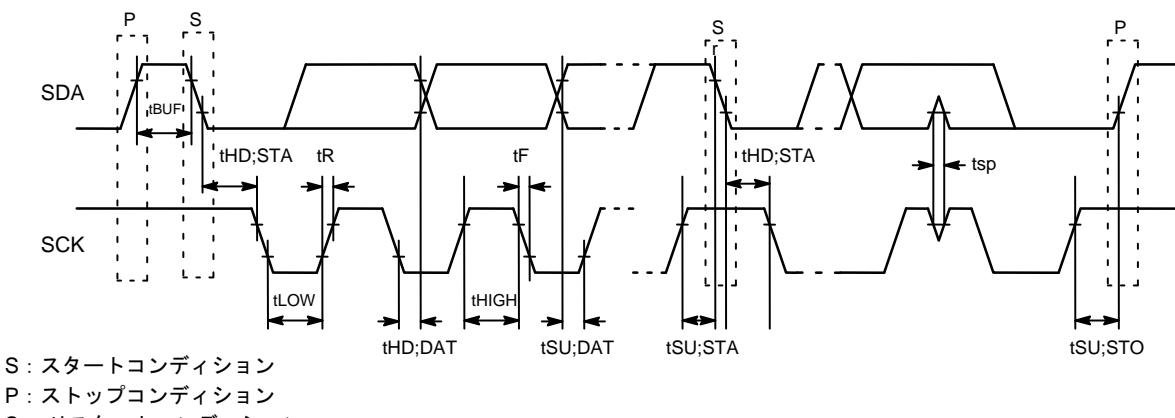


図 13. I²Cタイミング

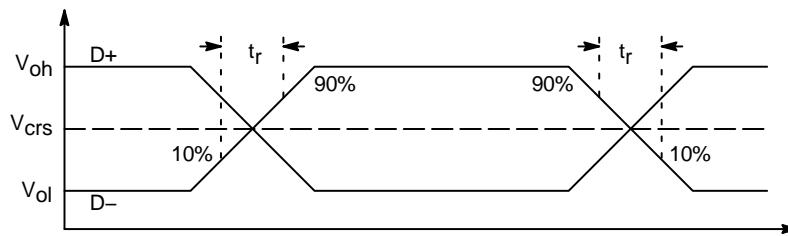


図 14. USBデータ信号タイミングと電圧レベル

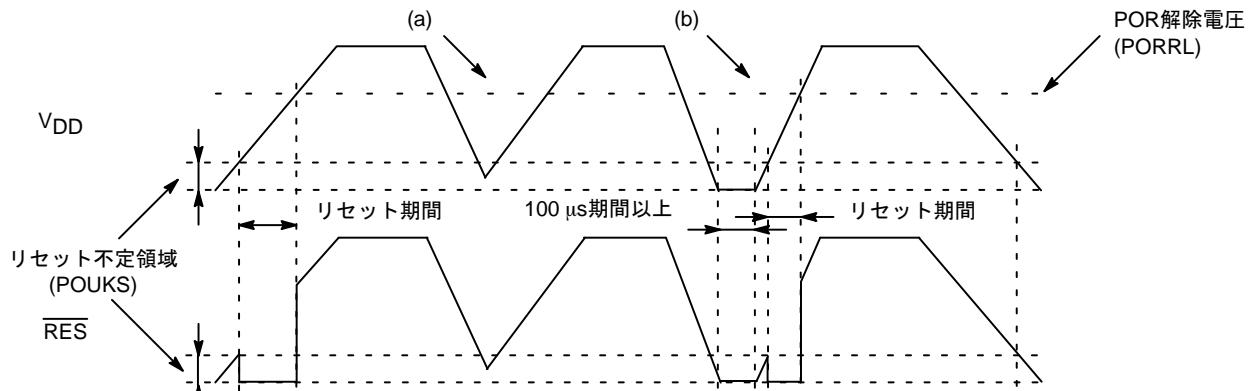


図 15. PORのみ(LVD非選択)の動作波形例(リセット端子：プルアップ抵抗PRESのみ)

- PORは V_{SS} レベルから電源を立ち上げた時のみリセットが発生する。
- (a)のように電源が V_{SS} レベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかかるない。このケースが想定される場合には、下記のようにLVD機能を併用するか外付けにリセット回路を構成すること。
- (b)のように電源が V_{SS} レベルまで十分下がり、その状態で100 μ s以上保持されてから電源が再投入された場合のみリセットがかかる。

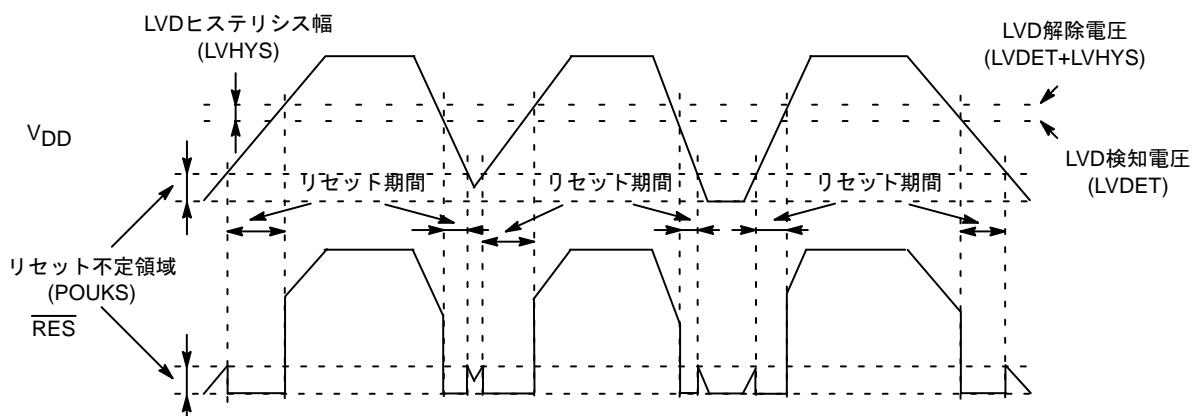


図 16. POR+LVD選択時の動作波形例(リセット端子：プルアップ抵抗PRESのみ)

- 電源投入時と電源低下時ともにリセットがかかる。
- LVDには検知レベル付近でリセット解除/突入を繰り返さないようにヒステリシス幅(LVHYS)がある。

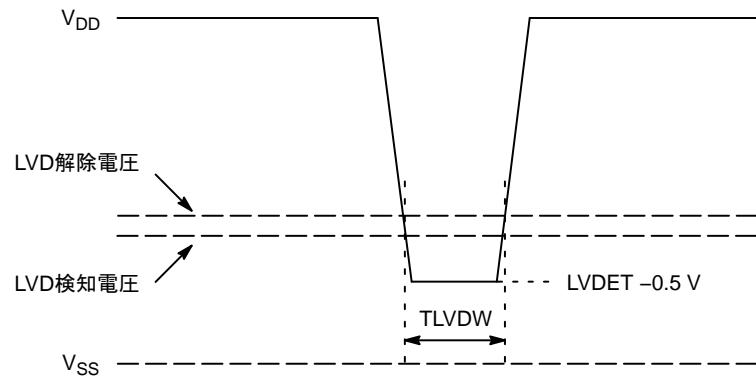


図 17. 低電圧最小検知幅(電源瞬停・電源変動波形例)

本ページ以降、タブレット信号処理回路に関する仕様を記載する。

機能ブロック図、周辺回路構成

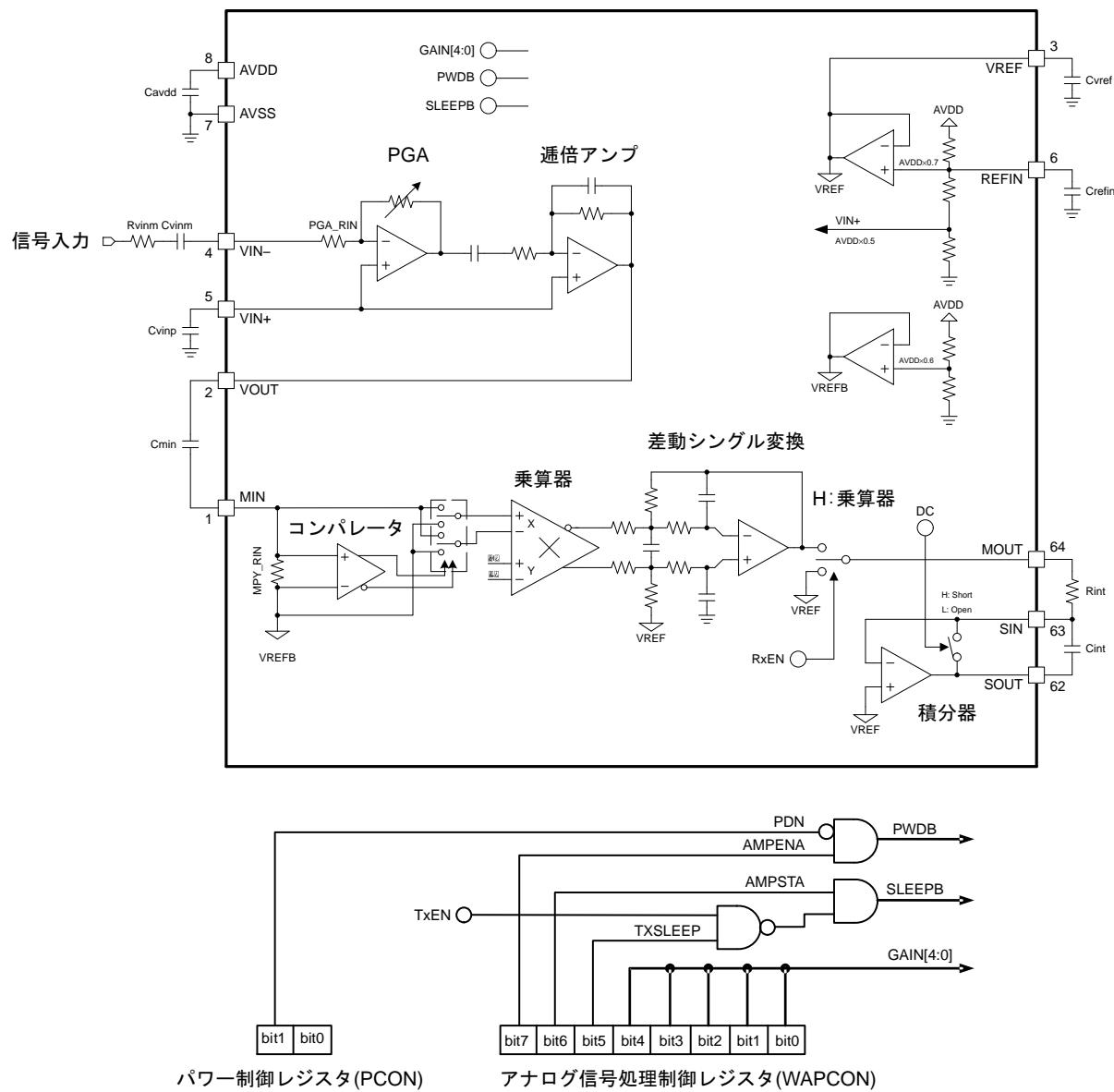


図 18. 機能ブロック図、周辺回路構成

Table 22. 端子機能表

端子名	I/O	機能説明	推奨外付け定数
AV _{SS}	-	GND端子	
AV _{DD}	-	電源端子	C _{avdd} = 0.1 μ F + 10 μ F
REFIN	I	基準電圧入力	C _{refin} = 0.1 μ F
VREF	O	基準電圧出力	C _{vref} = 0.1 μ F以上必須 (注23)
VIN-	I	PGA (可変利得アンプ)信号入力	C _{vinm} = 300 pF、R _{vinm} = 1.0 k Ω (注24)
VIN+	I	PGA (可変利得アンプ)基準電圧入力	C _{vinp} = 300 pF
VOUT	O	PGA (可変利得アンプ)出力	
MIN	I	乗算器(全波整流回路)入力	C _{min} = 100 pF AC結合
MOUT	O	乗算器(全波整流回路)出力	
SIN	I	積分器入力	R _{int} = 1.0 k Ω (注25)
SOUT	O	積分器出力/AD変換入力ポート(AN4)	C _{int} = 1500 pF

23. C_{vref}は、VREF用バッファアンプの位相補償用容量を兼ねる。動作温度範囲内で0.1 μ F以上の外付け容量が必要。

24. C_{vinm}とR_{vinm}は、可変利得アンプのゲインに影響を与える。

信号入力から見たVIN-端子での減衰量は、以下の式となる。

$$\text{Attenuation [dB]} = 20 \cdot \log_{10} \left(\frac{2\pi \cdot f \cdot C_{vinm} \cdot PGA_RIN}{\sqrt{1 + [2\pi \cdot f \cdot C_{vinm} \cdot (R_{vinm} + PGA_RIN)]^2}} \right)$$

25. R_{int}は、全波整流回路の出力電流による制約あり。動作温度範囲内で700 Ω 以上が必要。

Table 23. 内部端子機能表

内部端子名	I/O	機能説明	注釈
PWDB	I	パワーダウン制御	H: 通常動作、L: パワーダウン
SLEEPB	I	スリープ制御	H: 通常動作、L: スリープモード
GAIN[4:0]	I	PGA (可変利得アンプ)ゲイン制御	
TxEN	I	送信期間フラグ	H: 送信期間中、L: 送信期間以外
RxEN	I	積分器入力信号切り替え制御	H: 乗算器出力、L: VREF
DC	I	積分器出力リセット制御	H: SIN-SOUT短絡、L: SIN-SOUT開放

Table 24. 許容動作条件

(T_A = -40°C to +85°C, AV_{SS} = 0 V)

項目	記号	適用端子 ・備考	条件	規格			
				Min	Typ	Max	Unit
動作電源電圧	V _{DD}	AV _{DD}		2.7	3.3	5.5	V
最大出力負荷容量	C _p _VOUT	VOUT				20	pF
	C _p _MOUT	MOUT				20	pF
	C _p _SOUT	SOUT				50	pF

Table 25. 電気的特性(DC)

(TA = 25°C, VDD = 3.3 V, AVSS = 0 V)

項目	記号	適用端子 ・備考	条件	規格			
				Min	Typ	Max	Unit
REFIN開放電圧	VREFIN	REFIN			0.7*VDD		V
VREF出力電圧	VREFOUT	VREF			0.7*VDD		V
PGA入力開放電圧	PGA_COM	VIN-, VIN+			0.5*VDD		V
PGA入力抵抗	PGA_RIN	VIN-			1.7k		Ω
乗算器入力開放電圧	MPY_COM	MIN			0.6*VDD		V
乗算器入力抵抗	MPY_RIN	MIN			30k		Ω
乗算器出力範囲	MPY_VOUT	MOUT	RxEN = H	0.3		VDD-0.3	V
乗算器出力オフセット	MPY_OFFH	MOUT	RxEN = H, VREF基準			±25	mV
	MPY_OFFL	MOUT	RxEN = L, VREF基準			±10	mV
積分器出力範囲	ITG_VOUT	SOUT	DC = L	0.3		VDD-0.3	V
積分器出力電流	ITG_IOUT	SOUT	DC = L	-1		1	mA
積分器出力オフセット	ITG_OFF	SOUT	DC = H, VREF基準			±7	mV
入力端子容量	Cp_IN	REFIN, VIN-, VIN+, MIN, SIN			10		pF
消費電流	I _{DD}	AV _{DD}	PWDB = H, SLEEPB = H		4.3		mA
	I _{sleep}	AV _{DD}	PWDB = H, SLEEPB = L		1.0		mA
	I _{pwrdown}	AV _{DD}	PWDB = L			1.0	μA

Table 26. 電気的特性(AC)

(TA = 25°C, VDD = 3.3 V, AVSS = 0 V, VOUT load 20 pF, MOUT load 20 pF, SOUT load 50 pF)

項目	記号	適用端子 ・備考	条件	規格			
				Min	Typ	Max	Unit
PGA入力振幅	PGA_VIN	VIN-	667 kHz sin波		24	200	mVpp
PGA出力振幅	PGA_VOUT	VOUT	667 kHz sin波		350	600	mVpp
PGA入力周波数帯域	PGA_FIN	VIN-	sin波	500	667	750	kHz
PGAゲイン (注26)	PGA_Ga	VOUT	Rvinm, Cvinmlは含めず	0.0		44.0	dB
PGA出力ノイズ	PGA_Vn	VOUT	PGAゲイン= 34.5 dB VIN-/VIN+対接地0.1 μF			0.66	μV/√Hz
乗算器入力振幅	MPY_VIN	MIN	667 kHz sin波		350	600	mVpp
乗算器周波数帯域	MPY_Fc	MOUT	RxEN = H	1.0	1.3	1.6	MHz
乗算器ゲイン	MPY_Ga	MOUT	RxEN = H	0.85	1.00	1.15	Times

26. PGAゲインとGAIN[4:0]の詳細な関係は、次ページを参照。

Table 27. PGAゲイン特性

(TA = 25°C, VDD = 3.3 V, AVSS = 0 V, not including Rvinm and Cvinm)

項目	記号	適用端子 ・備考	条件	規格			
				Min	Typ	Max	Unit
PGAゲイン	PGA_Ga	VOUT	GAIN[4:0] = 0x00	0.0	1.0	3.0	dB
			GAIN[4:0] = 0x01	1.4	2.4	4.4	
			GAIN[4:0] = 0x02	2.9	3.9	5.9	
			GAIN[4:0] = 0x03	4.3	5.3	6.8	
			GAIN[4:0] = 0x04	5.7	6.7	8.2	
			GAIN[4:0] = 0x05	7.2	8.2	9.7	
			GAIN[4:0] = 0x06	8.6	9.6	11.1	
			GAIN[4:0] = 0x07	10.0	11.0	12.5	
			GAIN[4:0] = 0x08	11.4	12.4	13.9	
			GAIN[4:0] = 0x09	12.9	13.9	15.4	
			GAIN[4:0] = 0x0A	14.3	15.3	16.8	
			GAIN[4:0] = 0x0B	15.7	16.7	18.2	
			GAIN[4:0] = 0x0C	17.2	18.2	19.7	
			GAIN[4:0] = 0x0D	18.6	19.6	21.1	
			GAIN[4:0] = 0x0E	20.0	21.0	22.5	
			GAIN[4:0] = 0x0F	21.5	22.5	24.0	
			GAIN[4:0] = 0x10	22.9	23.9	25.4	
			GAIN[4:0] = 0x11	24.3	25.3	26.8	
			GAIN[4:0] = 0x12	25.8	26.8	28.3	
			GAIN[4:0] = 0x13	27.2	28.2	29.7	
			GAIN[4:0] = 0x14	28.6	29.6	31.1	
			GAIN[4:0] = 0x15	30.1	31.1	32.6	
			GAIN[4:0] = 0x16	31.5	32.5	34.0	
			GAIN[4:0] = 0x17	32.9	33.9	35.4	
			GAIN[4:0] = 0x18	34.3	35.3	36.8	
			GAIN[4:0] = 0x19	35.8	36.8	38.3	
			GAIN[4:0] = 0x1A	37.2	38.2	39.7	
			GAIN[4:0] = 0x1B	38.6	39.6	41.1	
			GAIN[4:0] = 0x1C	40.1	41.1	42.6	
			GAIN[4:0] = 0x1D–0x1F	41.5	42.5	44.0	

Table 28. 電気的特性(タイミング)

(TA = 25°C, VDD = 3.3 V, AVSS = 0 V)

項目	記号	適用端子 ・備考	条件	規格			
				Min	Typ	Max	Unit
積分器ディスチャージ時間	Tdis	SOUT	Rint = 1.0 kΩ, Cint = 1500 pF 図19参照	3			μs
ミュート復帰時間	Tmute	VOUT, MOUT, SOUT	図19参照			5	μs
スリープ復帰時間	Tslp	VOUT, MOUT, SOUT	図20参照			5	μs

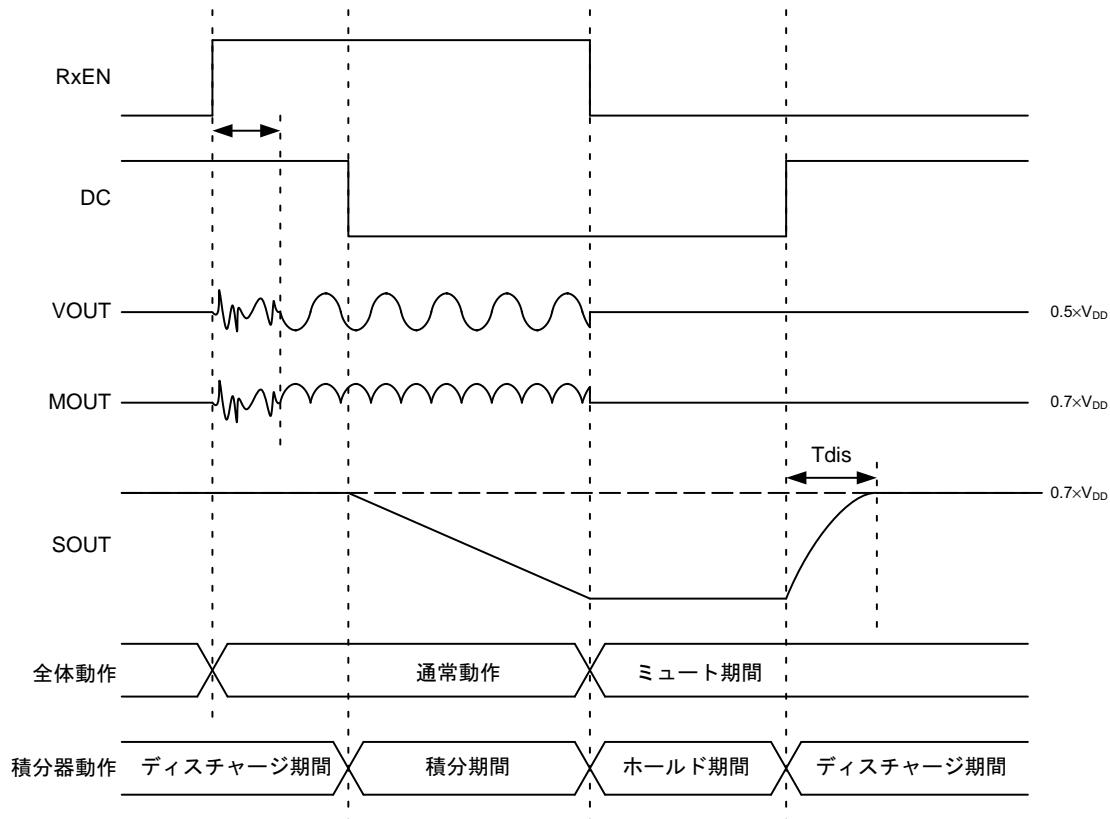


図 19. 積分器ディスチャージ時間とミュート復帰時間

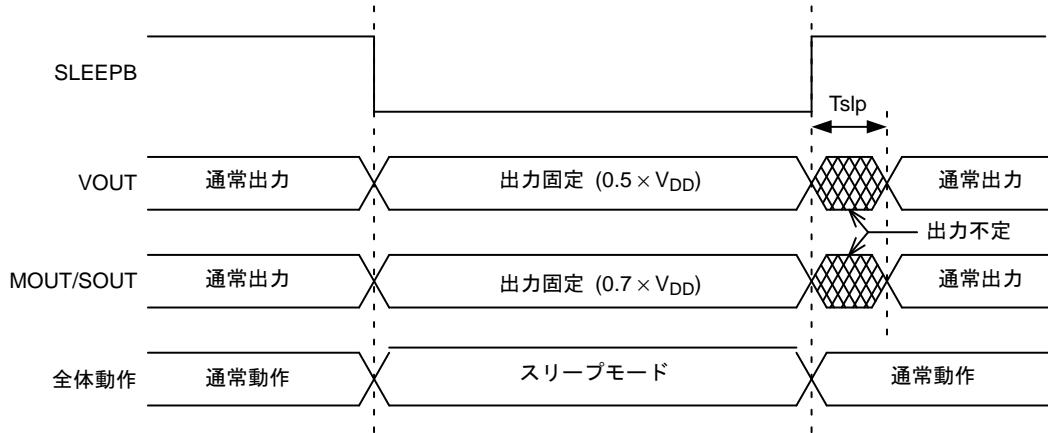
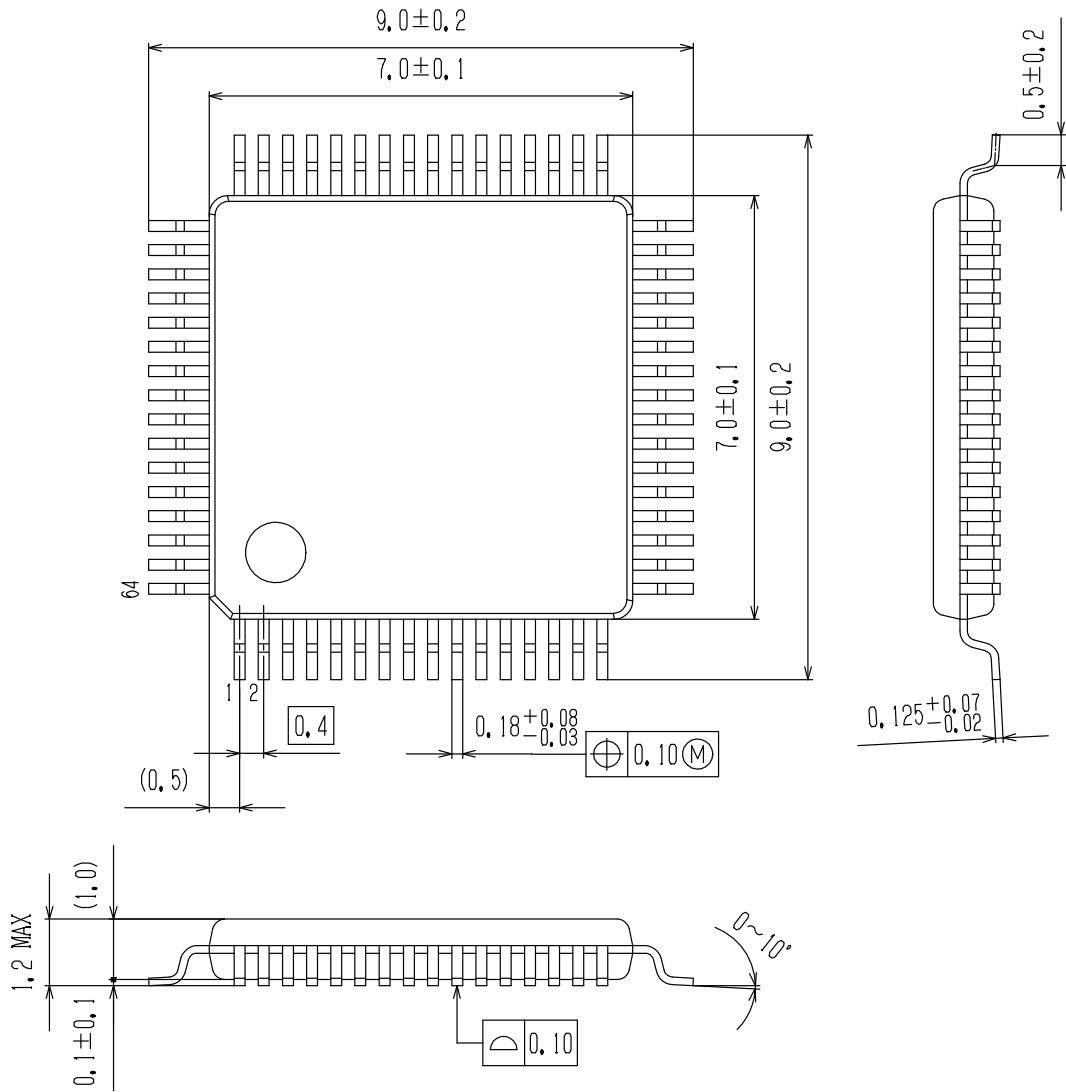


図 20. スリープ復帰時間

LC87F9W48A

PACKAGE DIMENSIONS

TQFP64 7x7 / TQFP64
CASE 932BC
ISSUE O



ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。ON Semiconductorは通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあります。実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA(米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、または未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free

USA/Canada

Europe, Middle East and Africa Technical Support:

Phone: 421 33 790 2910

Japan Customer Focus Center

Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative