



ON Semiconductor®

<http://onsemi.jp>

LB11876

モノリシックデジタル集積回路 ポリゴンミラーモータ用 三相ブラシレスモータ ブリドライバIC

LB11876 は LBP、PPC 等のポリゴンミラーモータ駆動用に開発された 3 相ブラシレスモータブリドライバであり、外付けにより任意のモータ電圧、電流で使用出来る。
また、ダイレクト PWM 駆動により、パワーロスの少ない駆動が可能である。

機能・特長

- ・ LB11875 拘束保護機能変更品
- ・ 三相バイポーラ駆動(ダイレクト PWM)
- ・ PLL 速度制御回路
- ・ 外部クロック専用
- ・ クロック分周切換え
- ・ ホール FG 対応
- ・ ショートブレーキ機能
- ・ 電流制限、拘束保護、低電圧保護、加熱保護回路等内蔵

絶対最大定格/Ta=25

項目	記号	条件	定格値	unit
電源電圧	V _{CC} max		18	V
入力電流	I _{I3} max	V13端子	5	mA
出力電流	I _O max	UL, VL, WL, UH, VH, WH端子	30	mA
LVSD端子印加電圧	LVSD max	LVSD端子	18	V
許容消費電力 1	P _d max1	IC単体	0.62	W
許容消費電力 2	P _d max2	実装基板	1.36	W
動作周囲温度	T _{opr}		- 20 ~ + 80	
保存周囲温度	T _{stg}		- 55 ~ + 150	

実装基板: 114.3mm × 76.1mm × 1.6mm ガラスエポキシ基板実装

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

許容動作範囲/Ta=25

項目	記号	条件	定格値	unit
電源電圧範囲1	V _{CC} 1		8 ~ 17	V
電源電圧範囲2	V _{CC} 2	V _{CC} -VREGショート時	4.5 ~ 5.5	V
入力電流範囲	I _{I3}	V13端子	0.5 ~ 4	mA
出力電流	I _O	UL, VL, WL, UH, VH, WH端子	20	mA

次ページへ続く。

LB11876

前ページより続く。

項目	記号	条件	定格値	unit
5V定電圧出力電流	I _{REG}		0 ~ - 30	mA
LD端子印加電圧	V _{LD}		0 ~ 17	V
LD端子出力電流	I _{LD}		0 ~ 15	mA
FGS端子印加電圧	V _{FGS}		0 ~ 17	V
FGS端子出力電流	I _{FGS}		0 ~ 10	mA

電気的特性/T_a=25 , V_{CC}=12V

項目	記号	条件	min	typ	max	unit
電源電流 1	I _{CC1}			15	25	mA
電源電流 2	I _{CC2}	STOP時		3	5	mA
5V定電圧出力(V _{REG} 端子)						
出力電圧	V _{REG}		4.65	5.0	5.35	V
電圧変動	ΔV _{REG1}	V _{CC} =8 ~ 13.5V		40	100	mV
負荷変動	ΔV _{REG2}	I _O =0 ~ - 15mA		20	100	mV
温度係数	ΔV _{REG3}	設計目標値		0		mV/
13V定電圧出力(V ₁₃ 端子)						
出力電圧	V ₁₃	I _O =2mA	12.5	13.5	14.5	V
出力部						
出力飽和電圧1-1	V _{O sat1-1}	「L」レベル I _O =400μA		0.2	0.5	V
出力飽和電圧1-2	V _{O sat1-2}	「L」レベル I _O =10mA		0.9	1.2	V
出力飽和電圧2	V _{O sat2}	「H」レベル I _O = - 20mA	V _{CC} - 1.2	V _{CC} - 0.9		V
出力リーク電流	I _{O leak}				10	μA
ホールアンプ部						
入力バイアス電流	I _{HB(HA)}		- 2	- 0.5		μA
同相入力電圧範囲1	V _{ICM1(HA)}	ホール素子使用時	0.5		V _{CC} - 2.0	V
同相入力電圧範囲2	V _{ICM2(HA)}	入力片側バイアス時 (ホールIC応用)	0		V _{CC}	V
入力感度		SIN波	80			mVp-p
ヒステリシス幅	ΔV _{IN(HA)}		15	24	42	mV
入力電圧L H	V _{SLH(HA)}			12		mV
入力電圧H L	V _{SHL(HA)}			- 12		mV
FGシュミット部						
入力バイアス電流	I _{B(FGS)}		- 2	- 0.5		μA
同相入力電圧範囲1	V _{ICM1(FGS)}	ホール素子使用時	0.5		V _{CC} - 2.0	V
同相入力電圧範囲2	V _{ICM2(FGS)}	入力片側バイアス時 (ホールIC応用)	0		V _{CC}	V
入力感度	V _{IN(FGS)}	SIN波	80			mVp-p
ヒステリシス幅	ΔV _{IN(FGS)}	設計目標値	15	24	42	mV
入力電圧L H	V _{SLH(FGS)}	設計目標値		12		mV
入力電圧H L	V _{SHL(FGS)}	設計目標値		- 12		mV
FGS出力						
出力飽和電圧	V _{OL(FGS)}	I _{LD} =7mA		0.15	0.5	V
出力リーク電流	I _{L(FGS)}	V _O =V _{CC}			10	μA

次ページへ続く。

LB11876

前ページより続く。

項目	記号	条件	min	typ	max	unit
PWM発振器						
出力Hレベル電圧	V _{OH} (PWM)		2.6	2.9	3.2	V
出力Lレベル電圧	V _{OL} (PWM)		1.4	1.7	2.0	V
外付けC充電電流	ICHG	VPWM=2.0V	- 65	- 50	- 35	μA
発振周波数	f (PWM)	C=620pF		50		kHz
振幅	V(PWM)		1.0	1.2	1.4	Vp-p
CSD発振器						
出力Hレベル電圧	V _{OH} (CSD)		3.2	3.5	3.8	V
出力Lレベル電圧	V _{OL} (CSD)		0.9	1.1	1.3	V
外付けC充電電流	ICHG1		- 13	- 10	- 7	μA
外付けC放電電流	ICHG2		7	10	13	μA
発振周波数	f (CSD)	C=0.068μF		30		Hz
振幅	V(CSD)		2.2	2.4	2.6	Vp-p
位相比較出力						
出力Hレベル電圧	VPDH	I _{QH} = - 100μA	VREG - 0.2	VREG - 0.1		V
出力Lレベル電圧	VPDL	I _{QH} =100μA		0.2	0.3	V
出力ソース電流	IPD +	VPD=VREG/2			- 0.6	mA
出力シンク電流	IPD -	VPD=VREG/2	1.5			mA
位相ロック検知出力						
出力飽和電圧	V _{OL} (LD)	I _{LD} =10mA		0.15	0.4	V
出力リーク電流	IL(LD)	V _O =V _{CC}			10	μA
ERRアンブ部						
入力オフセット電圧	V _{IO} (ER)	設計目標値	- 10		10	mV
入力バイアス電流	IB(ER)		- 0.4		0.4	μA
出力Hレベル電圧	V _{OH} (ER)	IEI = - 0.1mA, 無負荷		3.7		V
出力Lレベル電圧	V _{OL} (ER)	IEI=0.1mA, 無負荷		1.3		V
DCバイアスレベル	VB(ER)	設計目標値	- 5%	VREG/2	5%	V
電流制限回路						
リミッタ電圧	VRF		0.225	0.25	0.275	V
低電圧保護回路						
動作電圧	VSDL		3.5	3.7	3.9	V
解除電圧	VSDH		4.0	4.2	4.4	V
ヒステリシス幅	ΔVSD		0.35	0.5	0.65	V
熱しゃ断動作						
熱しゃ断動作温度	TSD	設計目標値(接合温度)	150	180		
ヒステリシス幅	ΔTSD	設計目標値(接合温度)		30		
CLD回路						
外付けC充電電流	ICLD		- 5	- 4	- 3	μA
動作電圧	VH(CLD)		3.25	3.5	3.75	V
CLKIN端子						
外部入力周波数	f _I (CKIN)		0.1		10	kHz
Hレベル入力電圧	V _{IH} (CKIN)		2.0		VREG	V
Lレベル入力電圧	V _{IL} (CKIN)		0		1.0	V
入力オープン電圧	V _{IO} (CKIN)		VREG - 0.5		VREG	V
ヒステリシス幅	V _{IS} (CKIN)		0.13	0.21	0.29	V
Hレベル入力電流	I _{IH} (CKIN)	VCKIN=VREG	- 10	0	10	μA
Lレベル入力電流	I _{IL} (CKIN)	VCKIN=0V	- 130	- 90		μA

次ページへ続く。

LB11876

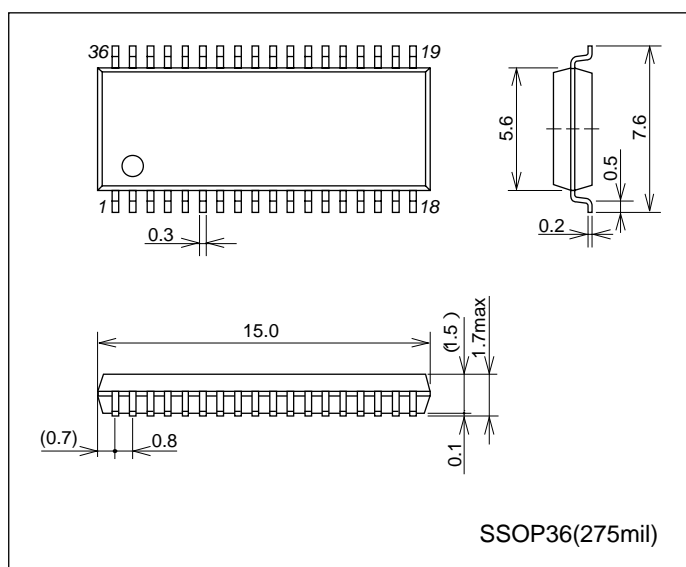
前ページより続く。

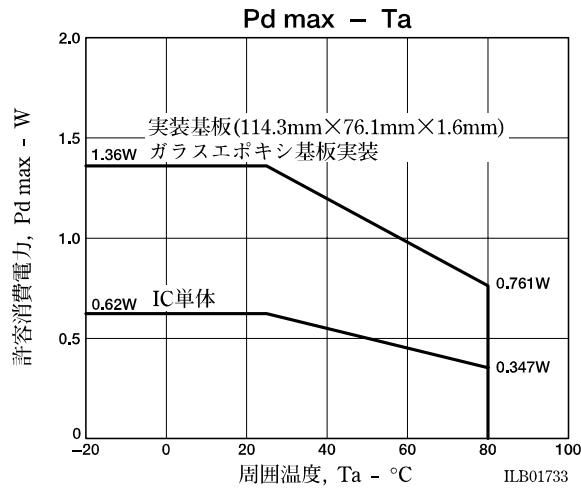
項目	記号	条件	min	typ	max	unit
S/S端子						
Hレベル入力電圧	$V_{IH}(SS)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(SS)$		0		1.0	V
入力オープン電圧	$V_{IO}(SS)$		VREG - 0.5		VREG	V
ヒステリシス幅	$V_{IS}(SS)$		0.13	0.21	0.29	V
Hレベル入力電流	$I_{IH}(SS)$	VS/S=VREG	- 10	0	10	μA
Lレベル入力電流	$I_{IL}(SS)$	VS/S=0V	- 130	- 90		μA
F/R端子						
Hレベル入力電圧	$V_{IH}(FR)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(FR)$		0		1.0	V
入力オープン電圧	$V_{IO}(FR)$		VREG - 0.5		VREG	V
ヒステリシス幅	$V_{IS}(FR)$		0.13	0.21	0.29	V
Hレベル入力電流	$I_{IH}(FR)$	VF/R=VREG	- 10	0	10	μA
Lレベル入力電流	$I_{IL}(FR)$	VF/R=0V	- 130	-90		μA
BRSEL端子						
Hレベル入力電圧	$V_{IH}(BSEL)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(BSEL)$		0		1.0	V
入力オープン電圧	$V_{IO}(BSEL)$		VREG - 0.5		VREG	V
ヒステリシス幅	$V_{IS}(BSEL)$		0.13	0.21	0.29	V
Hレベル入力電流	$I_{IH}(BSEL)$	VBSEL=VREG	- 10	0	10	μA
Lレベル入力電流	$I_{IL}(BSEL)$	VBSEL=0V	- 130	- 90		μA
CLKSEL端子						
Hレベル入力電圧	$V_{IH}(CSEL)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(CSEL)$		0		1.0	V
入力オープン電圧	$V_{IO}(CSEL)$		VREG - 0.5		VREG	V
ヒステリシス幅	$V_{IS}(CSEL)$		0.13	0.21	0.29	V
Hレベル入力電流	$I_{IH}(CSEL)$	VCSEL=VREG	- 10	0	10	μA
Lレベル入力電流	$I_{IL}(CSEL)$	VCSEL=0V	- 130	- 90		μA

外形図

unit:mm

3247A





3相ロジック真理値表 (IN=「H」とは、IN+ > IN- の状態を示す)

	F/R=「L」			F/R=「H」			出力	
	IN1	IN2	IN3	IN1	IN2	IN3	Source	Sink
1	H	L	H	L	H	L	VH	UL
2	H	L	L	L	H	H	WH	UL
3	H	H	L	L	L	H	WH	VL
4	L	H	L	H	L	H	UH	VL
5	L	H	H	H	L	L	UH	WL
6	L	L	H	H	H	L	VH	WL

S/S端子

入力状態	状態
Hまたはオープン	ストップ
L	スタート

BRSEL端子

入力状態	減速時
Hまたはオープン	フリーラン
L	ショートブレーキ

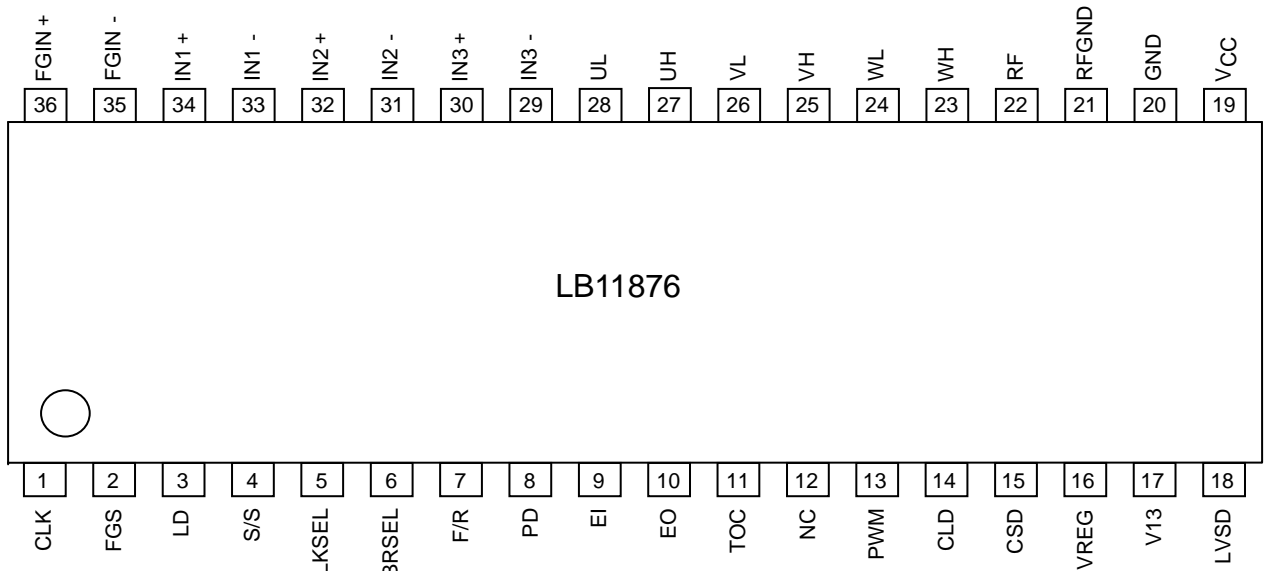
CLKSEL端子

入力状態	クロック分周数
Hまたはオープン	1
L	2

FFG = fCLK ÷ 分周数

LB11876

ピン配置図



Top view

端子説明

端子番号	端子記号	等価回路図	端子説明
1	CLK		<p>外部クロック信号入力端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG オープン時、「H」レベルとなる。 ヒステリシス幅 約0.21V。 f=10kHz max。</p>
2	FGS		<p>FGシュミット出力端子。 オープンコレクタ出力。</p>
3	LD		<p>位相ロック検知出力端子。 位相ロック時にオンする(“L”となる)。 オープンコレクタ出力。</p>

次ページへ続く。

LB11876

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
4	S/S		<p>スタート/ストップ制御端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG オープン時、「H」レベルとなる。 [L]でスタート。 ヒステリシス幅 約0.21V。</p>
5	CLK SEL		<p>クロック分周数選択端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG オープン時、「H」レベルとなる。 [L]で2倍、[H]またはオープンで1倍となる。 ヒステリシス幅 約0.21V。</p>
6	BR SEL		<p>減速制御選択端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG オープン時、「H」レベルとなる。 [L]でショートブレーキ、[H]またはオープンでフリーランとなる。 ヒステリシス幅 約0.21V。</p>
7	F/R		<p>正転/逆転 選択端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG オープン時、「H」レベルとなる。 [L]で正転。 ヒステリシス幅 約0.21V。</p>

次ページへ続く。

LB11876

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
8	PD		<p>位相比较出力端子。 位相誤差をパルスのデューティ変化で出力する。</p>
9	EI		<p>誤差アンプ入力端子。</p>
10	E0		<p>誤差アンプ出力端子。</p>
11	TOC		<p>トルク指令入力端子。 通常、E0端子と接続する。 TOC電圧が下がると、UH、VH、WHのオンデューティは増加する。</p>
12	NC		<p>内部とは接続されていないため、配線として使用可能。</p>

次ページへ続く。

LB11876

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
13	PWM		<p>PWM発振周波数を設定する端子。 GND間にコンデンサを接続する。 C=620pFで約50kHzに設定できる。</p>
14	CLD		<p>位相ロック信号マスク時間設定端子。 GND間にコンデンサ(約0.1μF)を 接続することにより、約90msのマスク 時間を設定できる。マスクする必要が ない場合はオープンとする。</p>
15	CSD		<p>拘束保護回路の動作時間設定端子兼 初期リセットパルス設定端子。 GND間にコンデンサ(約0.068μF) を付けることにより、約1秒の保護動作 時間を設定できる。保護回路を 使用しない場合はGND間にコンデンサ と抵抗を並列に接続する (約220kΩ、4700pF)</p>
16	VREG		<p>安定化電源出力端子(5V出力) 安定化のため、GND間にコンデンサを 接続する。(約0.1μF程度)</p>

次ページへ続く。

LB11876

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
17	V13		13Vシャントレギュレータ出力端子。
18	LVSD		低電圧保護検出端子。 5V以上の電源電圧を検出する場合はツェナーダイオードを直列に接続し、検出電圧を設定する。
19	VCC		電源端子。安定化のために、GND間にコンデンサを接続する。
20	GND		GND端子。
21	RF GND		出力電流検出基準端子。 外付けRf抵抗のGND部に接続する。
22	RF		出力電流検出端子。 RFGND間に低抵抗を接続する。 出力最大電流 $I_{OUT} = 0.25/R_f$ で設定する。

次ページへ続く。

LB11876

前ページより続く。

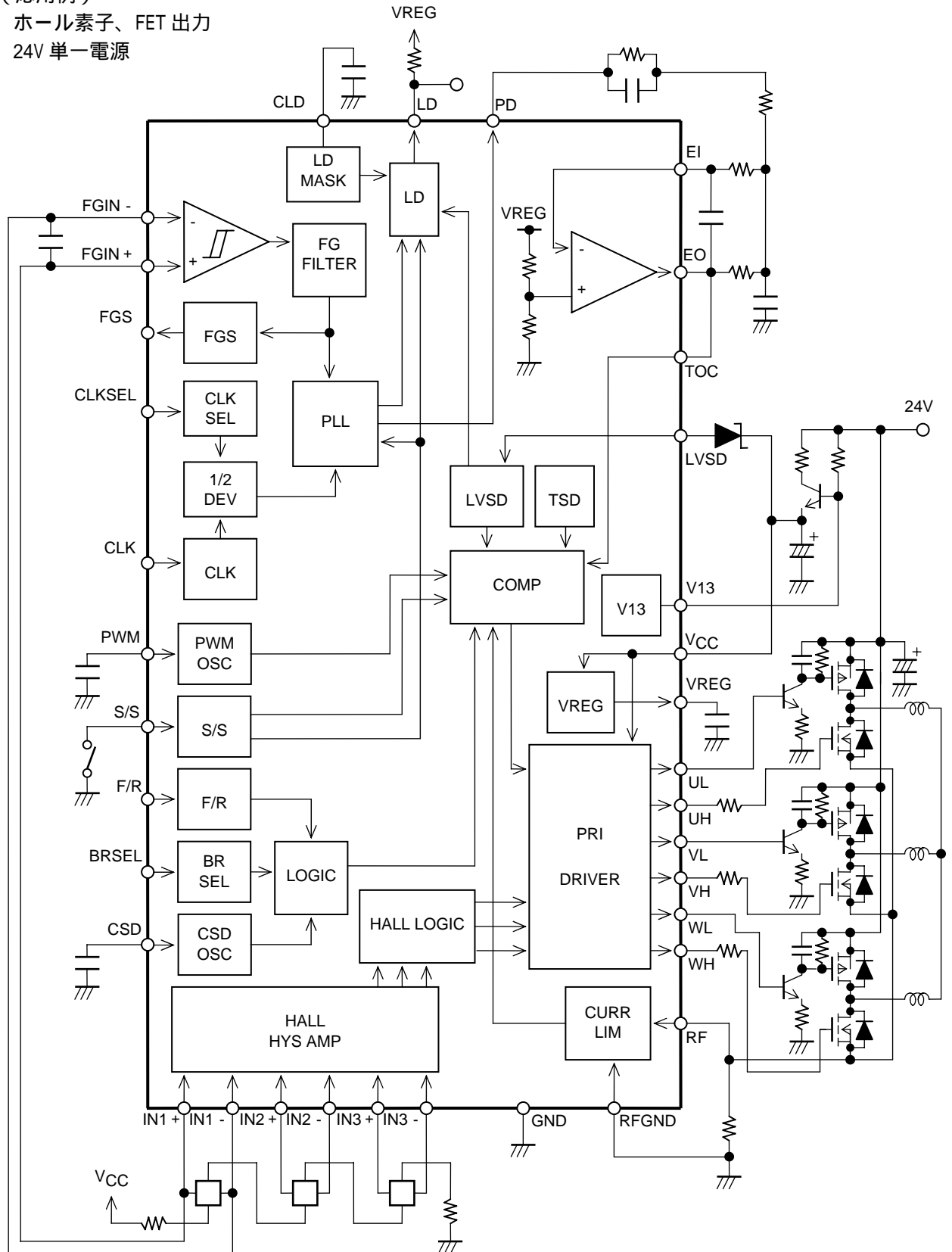
端子番号	端子記号	等価回路図	端子説明
23 24 25 26 27 28	WH WL VH VL UH UL		出力端子(外付けTR駆動出力)。 UH, VH, WH側でデューティ制御を行う。
29 30 31 32 33 34	IN3 - IN3 + IN2 - IN2 + IN1 - IN1 +		ホール入力端子。 IN+ > IN- で「H」、逆は「L」とする。 ホール信号のノイズが問題となる場合は、 IN+ , IN- 間にコンデンサを接続する。
35 36	FGIN - FGIN +		FG入力端子。 FG信号のノイズが問題となる場合は、 入力にコンデンサまたは、コンデンサと 抵抗によるフィルタを接続する。

LB11876

内部等価ブロック図および外付け参考回路

(応用例)

ホール素子、FET 出力
24V 単一電源



LB11876の説明

1. 速度制御回路

本ICは、PLL速度制御方式を採用しているため、高精度でジッタの少ない、安定した回転を実現できる。このPLL回路はCLK信号(立ち下がりエッジ)とFG信号(FGIN+, FGS出力の立ち下がりエッジ)のエッジの位相差を比較し、その誤差出力で制御している。

制御時のFGサーボ周波数は、クロック入力周波数(f_{CLK})とCLKSEL端子にて選択された分周数による、次式の周波数で制御される。

$$f_{FG(\text{サーボ})} = f_{CLK} \div \text{分周数}$$

2. 出力駆動回路

本ICは、出力での電力損失(パワーロス)を少なくするために、ダイレクトPWM駆動方式を採用している。出力Tr(外付け)は、オン時は常に飽和しており、出力がオンするデューティを変化させることにより、モータの駆動力を調整する。

PWMスイッチングは、UH, VH, WH出力で行っている。外付けTrとの接続により、出力上下いずれでもPWMスイッチング側を選択できる。

3. 電流制限回路

電流制限回路は、 $I = V_{RF} / R_f$ ($V_{RF} = 0.25V$ typ, R_f : 電流検出抵抗)で決まる電流で制限(ピーク電流を制限)する。制限動作としては、出力のオンデューティが小さくなり、電流を抑える。

RFおよびRFGND端子の配線を電流検出抵抗(R_f)の両端近傍で接続することにより、精度の良い検出ができる。

4. 基準クロック

外部から入力するクロック信号は、チャタリング等のノイズがないように注意する必要がある。入力回路にはヒステリシスを持たせてあるが、問題となる場合は、コンデンサ等によりノイズを除去してから入力すること。

基準クロックが無入力状態でスタート状態とした場合、モータが多少回転した後に駆動はオフされる。

5. PWM周波数

PWM周波数はPWM端子に接続するコンデンサ容量C(F)により決まる。

$$f_{PWM} = 1 / (30000 \times C)$$

620pFのコンデンサを付けると、約50kHzの発振となる。PWM周波数は低すぎるとスイッチング音がモータから聞こえ、高すぎると出力でのパワーロスが増加するため、30k ~ 100kHz程度が望ましい。接続するコンデンサは、ノイズの影響を受けにくいようにできるだけ短い配線でGNDピン間に接続すること。

6. ホール入力信号

ホール入力は、ノイズ等の影響を考えると100mV以上の振幅の入力が望ましい。ノイズにより出力波形(相切換わり時)に乱れが生じる場合は、入力間にコンデンサ等を入れて防止すること。

ホールIC出力を入力する場合は、入力片側(+, - いずれか)をホール素子使用時の同相入力範囲内の電圧に固定することにより、別の片側入力は0 ~ V_{CC} まで入力することができる。

7. FG入力信号

通常はホール信号のいずれか1相分をFG信号として入力する。ノイズが問題となる場合は、コンデンサまたは、コンデンサと抵抗等によるフィルタを付加して入力すること。

8. 拘束保護回路

モータ拘束時のICおよびモータの保護を行うため、拘束保護回路を内蔵している。スタート状態でホール入力信号が一定時間切換わらないと、PWM駆動側出力をオフする。時間設定は、CSD端子に接続するコンデンサ容量により行う。

$$\text{設定時間(S)} = 15.4 \times C(\mu\text{F})$$

0.068 μF のコンデンサを付けると、約1.05秒の保護時間となる。(ホール入力信号の1周期が、この時間より長くなると駆動がオフする)。設定時間は、通常モータ起動時に動作することがないように、余裕を持った設定とすること。拘束保護状態を解除するには、ストップ状態とするか、電源の再投入が必要である。

CSD端子は初期リセットパルス発生端子と兼用しているため、GNDと接続するとロジック回路がリセット状態となり、速度制御をすることができない。よって、拘束保護を使用しない場合は、対GNDに約220k Ω の抵抗と約4700pF程度のコンデンサを並列に接続すること。

9. 低電圧保護回路

電源投入時および電源電圧が低下した場合、誤動作を防止するために低電圧保護回路を内蔵している。

LVSD端子が約3.7V typ以下でPWM駆動側出力はオフされ、約4.2V typ以上で解除される。

外部にツェナーダイオードを付加することにより、任意の動作電圧を設定できる。

尚、LVSD端子の最大印加電圧は18Vである。

10. 位相ロック信号

位相ロックの範囲

本ICは、速度系のカウンタ等を持っていないため、位相ロック状態における速度誤差範囲は、IC特性のみでは決めることができない(FG周波数変化の加速度が影響するため)。モータとして規定する必要がある場合は、実際にモータ状態で測定して決めてもらう必要がある。FGの加速度が大きい状態で速度誤差は生じやすいため、起動時のロック引き込み時やクロック切換えによるアンロック時が一番速度誤差としては大きくなると思われる。

位相ロック信号のマスク機能

ロック引き込み時のハンチングによる短時間の“L”信号をマスクすることにより、安定した状態でロック信号を出すことができる。しかし、マスク時間分はロック信号出力が遅れることになる。

マスク時間は、CLD端子-GND間に接続するコンデンサ容量により設定する。

$$\text{マスク時間(S)} = 0.9 \times C(\mu\text{F})$$

0.1 μF のコンデンサを付けると、約90mSのマスク時間となる。完全にマスクする必要がある場合は、マスク時間は十分に余裕を持って設定すること。マスクする必要がない場合は、CLD端子をオープンとする。

11. 電源安定化

VCC

本ICは出力電流が大きいスイッチング駆動方式に応用されるため、電源ラインが振られやすい。よって、VCC端子-GND間には、安定化のために十分な容量のコンデンサを接続する必要がある。コンデンサのGNDは、できるだけICのGND近傍に付ける。

高速回転時のロック引き込み時において、電源ラインが一番振られやすくなるので、特に注意して検討し、十分な容量のコンデンサを選択する必要がある。

電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

13VREG

モータ駆動回路を本ICの電源電圧範囲以上の1電源で構成する場合、V13端子を使用し、本ICの電源電圧(約13V)を作ることができる。V13端子は、シャントレギュレータとなっており、外付け抵抗を介して電流を流すことにより、約13Vを発生する。電流の設定を約0.5~4mAとすることにより安定した電圧を発生する。外付けTrは、電流能力80mA以上(I_{CC} + ホールバイアス電流 + 出力電流(ソース))、耐圧はモータ電源電圧以上のTrを選定すること。Trの発熱が問題となることがあるので、パッケージによっては放熱をすること。

5VREG

制御回路の電源であるVREG電圧を安定化するために0.1 μ F以上のコンデンサを接続する。そのコンデンサのGNDは、できるだけICのGND近傍に配線すること。

12. パワーセーブ回路

本ICは、ストップ状態では消費電流を減少させるパワーセーブ状態となる。パワーセーブ状態では、大部分の回路のバイアス電流をカットすることにより行っている。パワーセーブ状態においても、5Vレギュレータ出力は出力される。

13. 誤差アンプ周辺定数

誤差アンプ部の外付け部品は、ノイズの影響を受けにくいようにできるだけIC近傍に配置すること。モータからできるだけ離れた配置とすること。

14. F/R切換え

F/R切換えは、基本的にはモータ停止時に行うこと。モータ回転中に切換えを行った場合、切換え時のスルー電流に関しては、回路的に対策を行っている。但し、切換え時のモータ電源電圧の持ち上がり(モータ電流が瞬時的に電源に戻るため)には、注意が必要である。問題となる場合は、電源-GND間コンデンサ容量を大きくすること。

切換わり後のモータ電流が電流制限値以上の場合、PWM駆動側の出力はオフするが、逆側の出力ではショートブレーキ状態となり、モータ起電圧およびコイル抵抗で決まる電流が流れる。この電流が使用する出力Trの定格を超えないようにする必要がある(高い回転数でのF/R切換え時ほど、注意が必要である)。

15. ブレーキ切換え

ブレーキはBRSEL端子により、フリーランとショートブレーキを選択できる。

ショートブレーキは、PWM駆動側の出力Trを全相オンさせる方式となっている(逆側Trは全相オフ)。ブレーキ時には、電流制限が動作しないので注意が必要である。ブレーキ時は、モータの回転数に関係なく、デューティ100%でショート状態となる。ブレーキ時に出力Trに流れる電流は、モータ起電圧およびコイル抵抗で決まる電流が流れる。この電流が使用する出力Trの定格を超えないようにする必要がある(高い回転数でのブレーキ時ほど、注意が必要である)。

16. NC端子

NC端子は、電氣的にオープンとなっているため、配線引き回しなどで使用しても問題ない。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。