



ON Semiconductor®

www.onsemi.jp

露出パッド・パッケージを使用したパワーエレクトロニクス・デバイスの迅速なPCB熱計算

APPLICATION NOTE

はじめに

デバイスの動作温度を規定制限値以下に維持するためには、電子システムにおけるPCBの熱設計が重要です。フルフィールドCFDシミュレーションによる予測は正確ですが、計算コストとモデル生成時間がかかなり大きくなる可能性があります。したがって、熱放散成分が異なるPCBの初期レイアウト設計において、高速見積りツールを使用することが望ましいと言えます。

今日市販されている一部の冷却パッケージ・オプションとは異なり、オン・セミコンダクターの露出パッド・パッケージング・ソリューションは、完全封止DFNおよびQFNモールド・パッケージ(Figure 1参照)で標準的なリードフレーム・ベースのボード実装を提供しており、デバイス-PCB間の温度差を最小限に抑えながら、レイアウトしやすいフットプリントでほぼゼロの寄生インダクタンスを実現します。

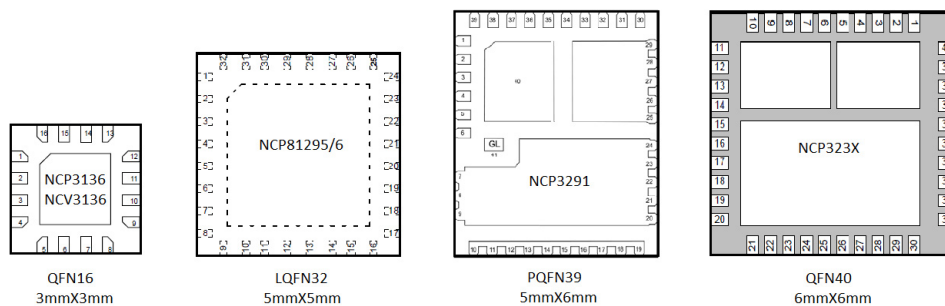


Figure 1. Typical Exposed Pad Packages for Power ICs (Top View)

デバイスおよびボードの熱抵抗モデル

現在入手可能な熱シミュレーション・ソフトウェアを使用すると、システム内の任意の位置における(システム全体でも可)PCBボードの温度を予測することができます。しかし、多くの設計者は、PCBボード全体を対象とする熱シミュレーション・ソフトウェアや熱モデルを利用できず、また可能な冷却機構の各セットについて多くの計算時間を費やしたくありません。これを念頭に置いて、熱抵抗パラメータを用いたパワー・エレクトロニクス・デバイスおよびPCBボードを対象にした熱放散の高速見積り方法が提案されており、基板と冷却状況の任意の組み合わせに対する半導体デバイスの最大許容電力生成量を素早く提供します。

自然対流(静止空気)環境(Figure 2参照)内のPCB上に配置された露出パッド・パッケージについて、パッケージと環境からの熱流パターンを描くことができます(Figure 3参照)。重要なポイントは、PCBから

大気への熱伝達効率が、しばしばチップ(「接合部」)と大気間の全体的な温度差に大きな影響を及ぼすことです。

熱放散は主に伝導と対流によって起こります。(輻射は静止空気中では大きな影響を及ぼす可能性があります。簡単な解析ツールには自然対流における「膜係数」調整用として含まれている場合がほとんどです)。参考までに、電子アプリケーションで一般的に見られる多数の材料の熱伝導率をTable 1[1]に示します。自然対流膜係数hは実験で決定されるパラメータであり、その値は表面形状、流体運動の性質、流体の性質、およびバルク流体速度など、対流に影響を与えるすべての変数に依存します。経験的に、0、1.0、2.5 m/sの風速に対して15、30、45 W/(m²K)の値を用いることができます[2]。(上記のとおり1 m/s未満の風速の場合、この係数のかなりの部分(35~40%)も実際には輻射に起因している場合があるので、表面放射率を考慮する必要があります。

光沢のある金属表面の放射への寄与は低く、マット仕上げの非金属表面の放射への寄与は高くなる傾向があります。

2抵抗モデルで表現されたパッケージを用いて、4抵抗によるパッケージと環境の簡略化熱等価回路

網図を作成することができます(Figure 4参照)[3]。
このダイは接合ノードを表し、ケース上面および底面プレートとの露出パッドは、それぞれ図の「ケース・ノード」と「ボード・ノード」を表します。

Table 1. MATERIAL THERMAL CONDUCTIVITY PROPERTIES

Material	Thermal Conductivity (W/mK)
Silicon	145
Mold Compound	0.7
Lead Frame	277
Die Attach Epoxy	2.4
Copper	388
FR4 PCB	0.35
SnAgCu Solder	57.3
63Sn37Pb Solder	50

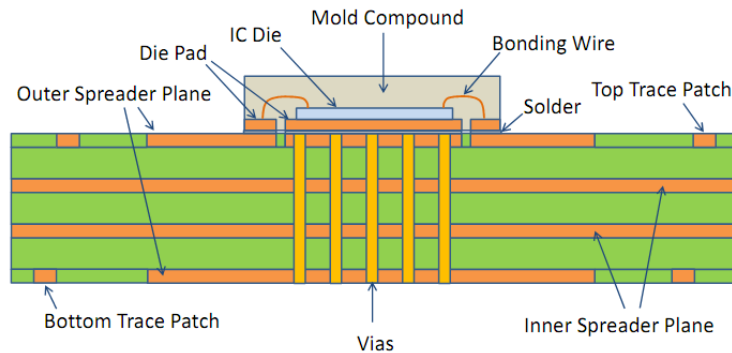


Figure 2. Exposed Pad Package on PCB

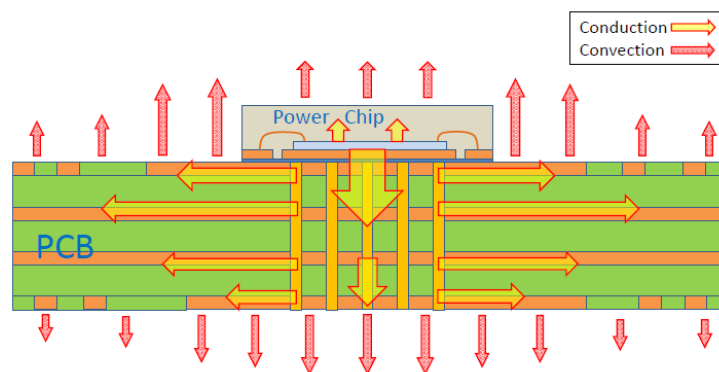


Figure 3. The Heat Flow Directions (Red Arrows)

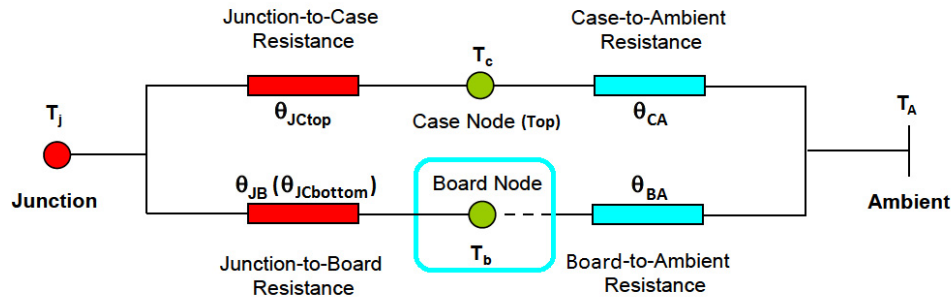


Figure 4. Equivalent Thermal Resistance Diagram of the Modified Two-resistor Model on a PCB

露出パッド・パッケージの多くのアプリケーションでは、この回路網をさらに4抵抗から2抵抗に簡略化することが可能です。これを正当化するのに、以下のようないくつかの合理的な近似が考えられます。

1. $T_B \approx T_{Cbottom}$ および $\theta_{JB} \approx \theta_{JCbottom}$
露出パッド・パッケージは、ボトム・パッドを介してボードの銅面に直接熱を放出するよう設計されており、パッケージ・パッドとPCBパッドの間にある半田の影響は、厚さが薄く熱伝導能力に優れているため無視されます。したがって、露出パッドの底面はボードの温度と等しい、すなわち $T_B \approx T_{Cbottom}$ および $\theta_{JB} \approx \theta_{JCbottom}$ とみなすことができます。
2. したがって、 $\theta_{JCTop} \gg \theta_{JB}$ となります。
自然空気環境で、NCP323Xの6×6 mm QFNパッケージを取り上げます。例えば、 $\theta_{JCTop} \approx 22^\circ\text{C/W}$ で、 $\theta_{JB} \approx \theta_{JCbottom}$ は、(近似1から)わずか1.3°C/Wです。
したがって、 $\theta_{JCTop} \gg \theta_{JB}$ となります。
3. $\theta_{CA} \gg \theta_{BA}$
対流抵抗は露出した熱伝達表面積に反比例するので、一般的に大気に対するPCB対流抵抗はケース大気間熱抵抗よりもはるかに小さくなります。例えば、50×50 mmのPCB両面の総面積は5000 mm²ですが、6×6 mm QFNの表面積はわずか36 mm²となります。
明らかに、 $\theta_{CA} \gg \theta_{BA}$ が成立します。

$$4. \theta_{JA} \approx \theta_{JB} + \theta_{BA}$$

4抵抗熱回路網の簡単な解析(Figure 4)は次のことを示しています。

$$\theta_{JA} \approx (\theta_{JB} + \theta_{BA}) \parallel (\theta_{JCTop} + \theta_{CA}) \quad (\text{eq. 1})$$

上記の2番目と3番目の近似から、 $(\theta_{JB} + \theta_{BA}) \gg (\theta_{JCTop} + \theta_{CA})$ が成立します。したがって、Eq.1は次のように簡略化できます。

$$\theta_{JA} \approx \theta_{JB} + \theta_{BA} \quad (\text{eq. 2})$$

これは露出パッド・パッケージでは、支配的な熱放散経路がPCBを通してボトム・パッドから周囲に至ることを意味します。

要約すると、例えばNCP81295のように、データシートから θ_{JB} を読み取ることができる場合、 θ_{BA} だけがパッケージ/PCBシステムの全熱抵抗を決定します。

4抵抗パッケージ/PBCシステムに関するもう1つの有用な近似は、 $T_J \approx T_C$ です。

同じ6×6 mm QFNの例を用いると、接合部(T_J)からケース上面(T_C)、さらに周囲温度(T_A)までの熱抵抗は、伝導および対流原理によって計算することができます。これにより、 $\theta_{JC} \approx 22^\circ\text{C/W}$ および $\theta_{CA} \approx 1300^\circ\text{C/W}$ という結果が得られます。したがって、分圧器アナログにより、差 ΔT_{JC} は合計 ΔT_{JA} の約 $(22/(1300 + 22)) = 1.7\%$ に過ぎません。接合部温度が周囲より100°C高い場合、接合部-ケース間の差は2°C未満になります。

Table 2. THERMAL CHARACTERISTICS

Rating	Symbol	Value	Unit
Thermal Resistance, Junction-to-Ambient	$R_{\theta JA}$	30	°C/W
Thermal Resistance, Junction-to-Top-Case	$R_{\theta JCT}$	50	°C/W
Thermal Resistance, Junction-to-Bottom-Case	$R_{\theta JCB}$	1.5	°C/W
Thermal Resistance, Junction-to-Board	$R_{\theta JR}$	1.5	°C/W
Thermal Resistance, Junction-to-Case	$R_{\theta JC}$	1.5	°C/W

ボード-周囲(θ_{BA})間の熱抵抗の計算

θ_{BA} は、パッケージがボードに熱を加える点から周囲までのPCBの熱抵抗を表します。ボード・サイズと特性が異なると、異なる θ_{BA} 値が得られます。Figure 5に示すようなPCBボードの単純な軸対称モデルを考えてみましょう。軸対称モデル[4]が特に役立つことは、ボード外縁が本質的に等温になることです。このモデルでは、パワーICチップは内径(パッケージ)で軸対称の熱源とみなすことができ、ボードの外周部では、周囲より高い温度上昇を規定しますが、端部からの熱流を規定することもできます。半径と外半径の間でボード特性は均一であり、一定境界係数を有する対流によって継続的に熱が失われます。外周部での熱損失がゼロのとき、ボード-周囲間の熱抵抗は次のとおり円形フィン公式から計算されます。

この円形領域におけるボード-周囲間の熱抵抗は次のとおり円形フィン公式から計算されます。

$$\theta_{ab} = \frac{1}{2\pi a k t \alpha} \times \frac{K_1(ab) I_0(aa) + I_1(ab) K_0(aa)}{I_1(ab) K_1(aa) - I_1(aa) K_1(ab)} \quad (\text{eq. 3})$$

ここで、

- $I_0()$ 、 $I_1()$ は次数0と1の第1種変形ベッセル関数です。
- $K_0()$ 、 $K_1()$ は次数0と1の第2種変形ベッセル関数です。
- k はPCBの熱伝導率であり、[2、3、8オンス・ボードでそれぞれ15、20、50 W/(mK)]です。
- t はPCBボードの厚さです。
- $\alpha = \sqrt{(Nh)/(kt)}$ 、 N は、 h で冷却される面の数、 h は対流膜係数(重要な場合は放射効果が含まれる)です。
- a と b はそれぞれ内半径と外半径です。

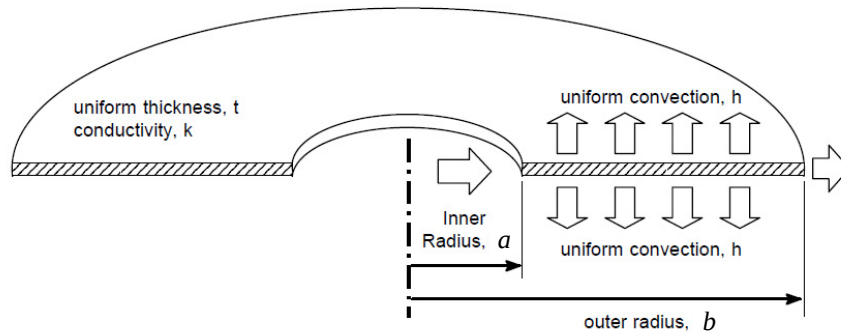


Figure 5. The Axisymmetric Model for Thermal Resistance of a PCB

この式は扱いにくいと思えるかも知れませんが、一般的な表計算ソフトウェア・プログラムではBessel関数を利用できます。どのアプリケーションでもボードの等価熱伝導率 k は、ユーザの具体的なボード設計に依存します。これは銅平面の厚さ/サイズ/層

数、熱ビアのサイズ/数、および銅平面パターンによって決まります。ボードの熱伝導率の詳細なモデルをFigure 6に示します。このモデルは等価熱伝導率 k の計算に使用できます。

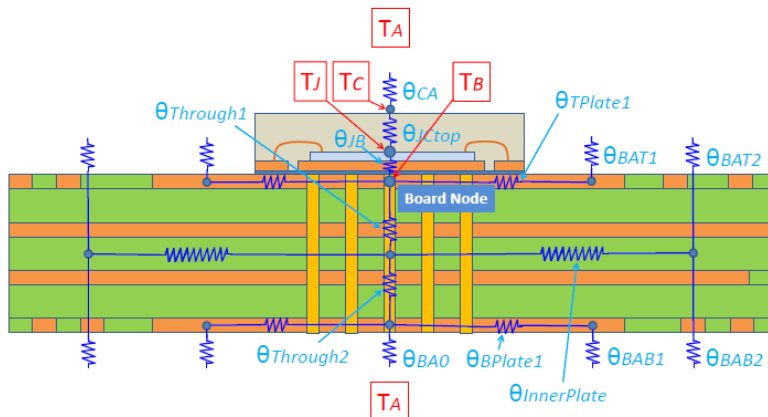


Figure 6. Thermal Resistance of 4-layer PCB to Ambient

上記の均一な軸対称環状ボード・モデルを用い、全ボードをボード毎の特性(Figure 6と8の両方を参照)に応じて、3つの環状領域(Figure 7参照)すなわち

チップ領域、周辺面領域、実効ボード・サイズ領域に分割できます。

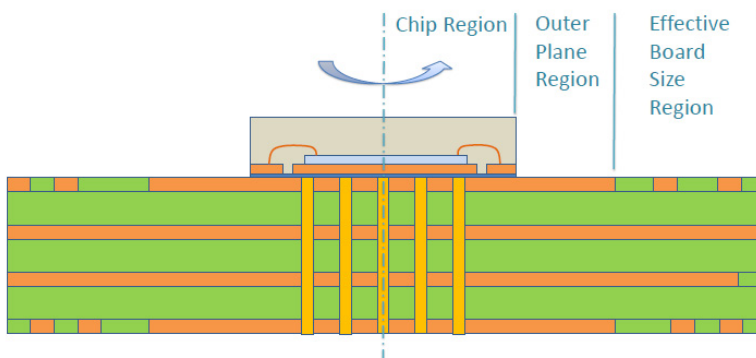


Figure 7. The Three Regions for Thermal Resistance of a PCB

軸対称モデルを採用した場合、実際のボード・サイズ(通常は長方形)と実効(円形)ボード・サイズを総面積が同じであることを前提として、変換する必要があります。

内部銅面が熱ビア(Figure 8.a参照)によってパワーICおよび露出サーマル・パッドに直接接続されているボードの場合、実効ボード・サイズは次のようになります。

$$\text{EffectiveBoardSize} = \frac{2}{\sqrt{\pi}} \times \sqrt{A} \quad (\text{eq. 4})$$

ここで、 A は熱ビアによってパワーICの露出サーマル・パッドに直接接続されたすべての銅面の投影パターンの面積です。

同様に、外部銅平面サイズの変換もあります。

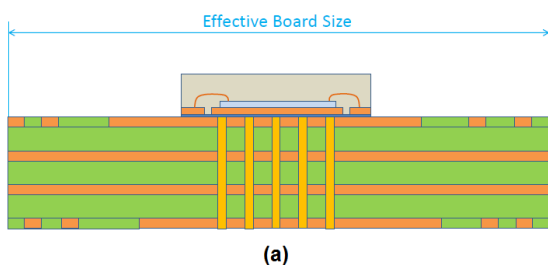
$$\text{OuterCopperPlaneSize} = \frac{1}{\sqrt{\pi}} \times \sqrt{0.5 \times A} \quad (\text{eq. 5})$$

ここで、 A はパワーICに直接接続された上面と下面の銅面の合計面積です。

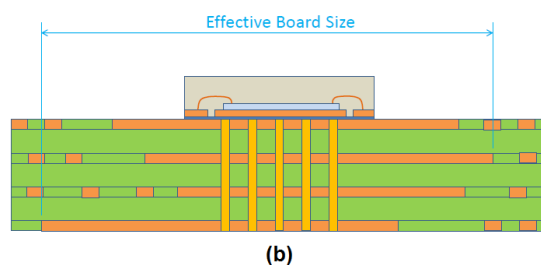
チップ領域については、実効サイズは次のとおりです。

$$\text{ChipRegionSize} = \frac{1}{\sqrt{\pi}} \times \sqrt{A_{\text{chip}}} \quad (\text{eq. 6})$$

ここで、 A_{chip} はパワーICのチップ面積です。



(a)



(b)

Figure 8. The Three Regions for Thermal Resistance of a PCB

各環状領域に関する(ボード周囲間の)対流および放射抵抗はEq.3によって計算できます。次に、3つの

チップ領域では

$$\theta_{\text{BA(Chip)}} = \theta_{\text{Through1}} + \theta_{\text{Through2}} + \theta_{\text{BA0}} \quad (\text{eq. 7})$$

外周面領域では

$$\theta_{\text{BA(Outplane)}} = (\theta_{\text{TPlate1}} + \theta_{\text{BAT1}}) \parallel (\theta_{\text{Through1}} + \theta_{\text{Through2}} + \theta_{\text{BPlate1}} + \theta_{\text{BAB1}}) \quad (\text{eq. 8})$$

実効ボード・サイズ領域では

$$\theta_{\text{BA(EffectiveBoard)}} = \theta_{\text{Through1}} + \theta_{\text{InnerPlate}} + \theta_{\text{BAT2}} \parallel \theta_{\text{BAB2}} \quad (\text{eq. 9})$$

ボードと周囲間の合計熱抵抗は、ボード・ノードから周囲への並列抵抗回路網となることを考慮して、上記3つの抵抗の組み合わせで与えられます (Figure 6参照)。

$$\theta_{BA} = \theta_{BA(Chip)} \parallel \theta_{BA(Outplane)} \parallel \theta_{BA(EffectiveBoard)} \quad (\text{eq. 10})$$

自然対流に晒された5×5 Q/DFNデバイスを実装した8層(各1 oz)PCBを例にとると、計算された熱抵抗と実効ボード・サイズの関係を図8に示します。そこで外部銅平面サイズはチップ・サイズで正規化され、正規化された外部銅平面サイズ・ファクタは次のとおりです。

$$F = \frac{\text{outercopperplanesize}}{\text{chipsize}} \quad (\text{eq. 11})$$

Figure 8.aは、QFN5X5チップPCB (NCP81295の評価ボード)の特性ファクタに従って生成されたカーブ

・チャートです。Figure 9のチャートは、銅面の厚さ／サイズ／層数、熱ビアのサイズ／数、銅面のサイズなど、熱性能に影響を及ぼすさまざまな要因を表しています。プロジェクトで5×5のQ/DFNデバイスを使用しているとき、ボードの特性と有効サイズに応じてその値を見積もるため、ユーザは最も近い曲線を読み取ることができます。付録には、他のパッケージ・デバイスに関する同様のチャートが示されています。

最後に、Eq.10に示すようにパッケージとボードの寄与を組み合わせ、システムの全体的な熱抵抗を得ることができます。消費電力がわかれば、ユーザはチップの温度上昇を見積もることができます。

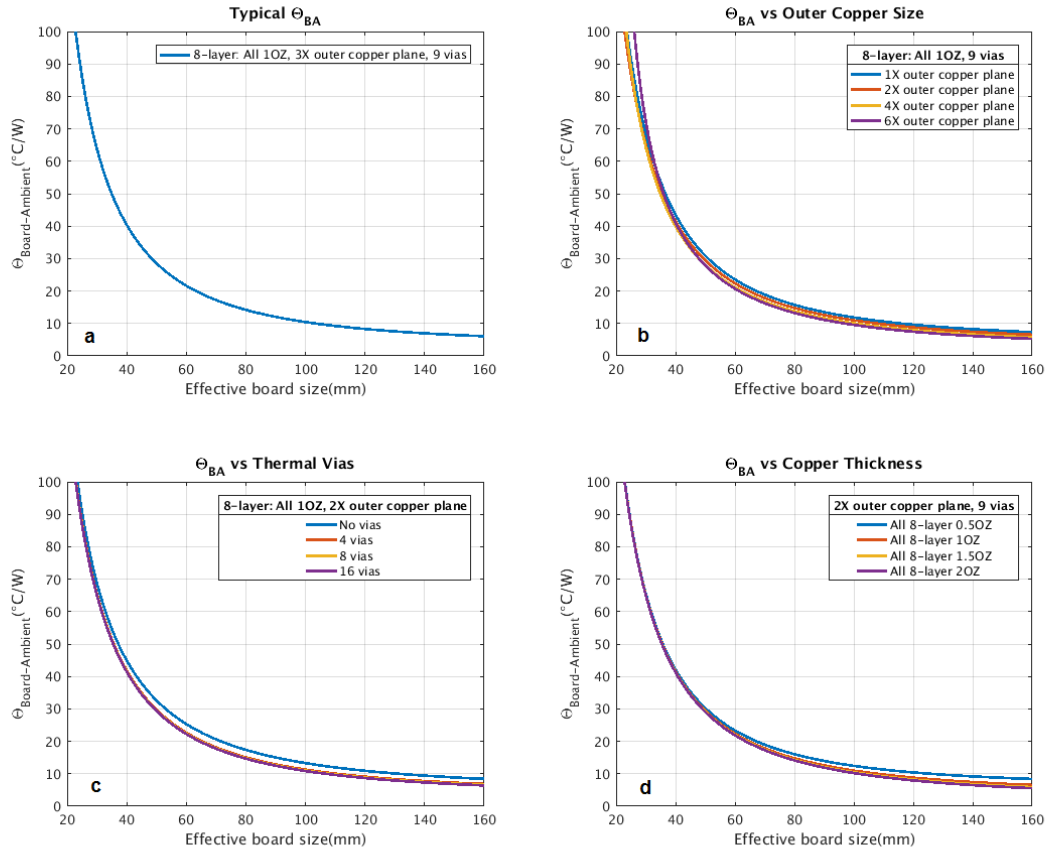


Figure 9. Thermal Resistance θ_{BA} of 8-layer PCB with D/QFN5X5 Chip (Natural Air)

計算例1: NCP81295/6 EVB

NCP81295/6はいずれも、サーバベースの高電流12 Vホットスワップ・アプリケーションに使用するための、電子的にリセット可能な50 Aインライン・ヒューズです。NCP81295/6はソリューション・サイズを縮小し電力損失を最小限に抑えるために、

非常に低い0.65 mΩのMOSFETを集積しています。また、監視および過負荷保護のために高精度の電流センサも内蔵しています。

このEVBボード (Figure 10参照) では、熱ビアによって露出サーマル・パッドに直接接続された銅面は一部のみです。



Figure 10. NCP81295/6 EVB

ボード情報を以下に示します。

- ボード・サイズ: 100 × 100 mm
- ボード厚: 1.6 mm
- 層数: 8層PCB (すべて1 OZ銅層)
- PIC: NCP81295 (QFN5X5)

試験条件は25°Cで50 Aの一定電流負荷です。電力損失は約1.65 Wです。EVBの熱赤外面像は以下のとおりです(Figure 11参照)。NCP81295の上面ケース温度は67.1°C、温度上昇は約42.1°Cです。

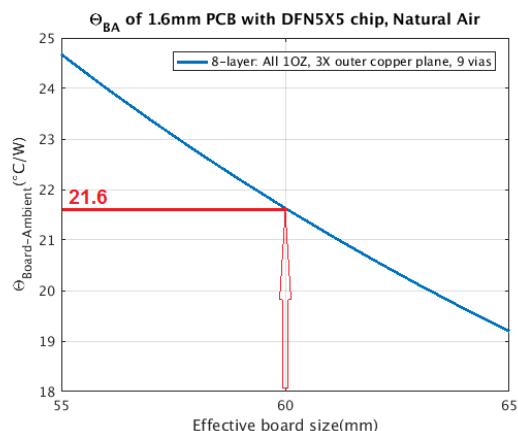


Figure 11. IR image of NCP81295/6 EVB

NCP81295/6 EVBボードのレイアウト評価後の特性は次のとおりです。有効サイズは60 mmで、外周銅面サイズは3Xチップサイズ(正規化された外周銅面サイズ係数は3)です。

Figure 8.aはNCP81295/6のEVB条件に一致します。NCP81295/6 EVBの θ_{BA} は、Figure 8.aから読み取るこ

とができます。有効サイズ60 mm付近のズームイン θ_{BA} カーブをFigure 12に示します。

Figure 12. θ_{BA} of NCP81295/6 EVB

$$\theta_{BA} = 21.6^{\circ}\text{C/W} \quad (\text{eq. 12})$$

θ_{JC} は、データシートから1.5°/Wです。次に θ_{JA} を取得します。

$$\theta_{JA} = \theta_{JC} + \theta_{BA} = 23.1^{\circ}\text{C/W} \quad (\text{eq. 13})$$

EVBボード上のNCP81295の接合部温度(すでにこれがケース上面温度と同じであると見積もっています)の計算値は次のとおりです。

$$T_C = T_A + 1.65 \times 23.1 = 63.1^{\circ}\text{C/W} \quad (\text{eq. 14})$$

また、次の値が得られます。

$$\Delta T_{JA} = 1.65 \times 23.1 = 38.1^{\circ}\text{C/W} \quad (\text{eq. 15})$$

計算した温度は試験結果に近い値です。4°Cというわずかな差はおそらく2つの大きなシャント抵抗の影響によるもので、NCP81295自体に起因する発熱に加えてそれらの電力損失がボードを加熱するためと考えられます。システムがほぼ直線状のときは、この効果を重ね合わせることができます。

計算例2: NCP3231 EVB

NCP3231は4.5 V~18 Vの入力で動作し、最大DC負荷25 Aまたは瞬時負荷30 Aで最低0.6 Vまでの出力電圧を生成する、高電流・高効率の電圧フィードフォワード式の同期整流降圧コンバータです。

EVBボード(Figure 13参照)は、熱ビアによって露出サーマル・パッドに直接接続されたフルコンプリートの銅面です。

ボード情報を以下に示します。

- ボード・サイズ: 75 × 73 mm
- ボード厚: 1.6 mm
- 層数: 6層PCB (すべて2 OZ銅層)
- PIC: NCP3231 (QFN6X6)

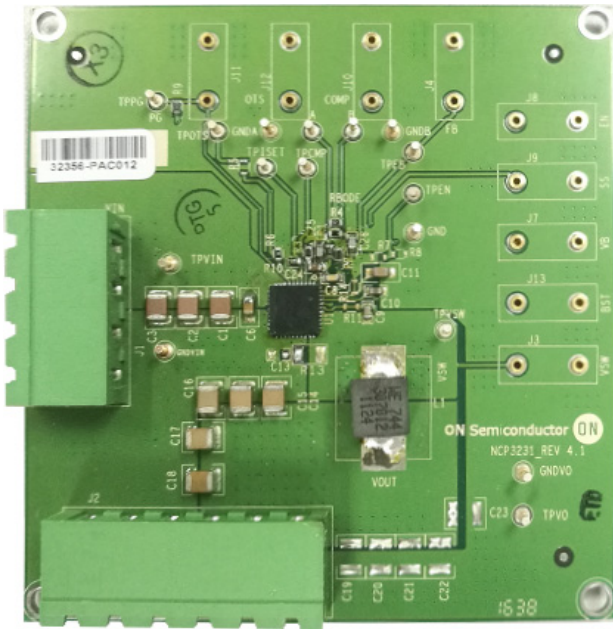


Figure 13. NCP3231 EVB

試験条件は、20°Cの安定電流負荷15 A、周波数1 MHzで9 Vから1 Vへの変換です。電力損失は約2.52 Wです。EVBの熱赤外面像は次のとおりです (Figure 14参照)。NCP3231の上面ケース温度は54°C、温度上昇は約34°Cです。



Figure 14. IR Image of NCP3231 EVB

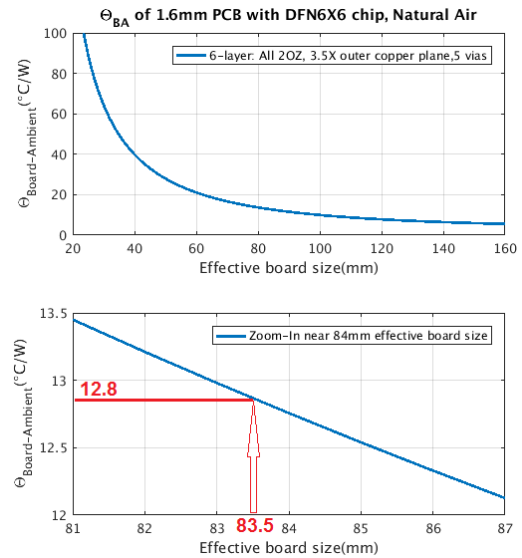


Figure 15. θ_{BA} of NCP3231 EVB

NCP81295/6 EVBボードのレイアウト評価に基づく特性は次のとおりです。有効サイズは83.5 mm、外周銅面サイズは3.5Xチップサイズ(正規化された外周銅面サイズ係数は3.5)です。Figure 15はこのNCP3231 EVB条件に従って生成されたカーブ・チャートです。NCP3231 EVB条件はFigure 14から読み取ることができます。

$$\theta_{BA} = 12.8^{\circ}\text{C/W} \quad (\text{eq. 16})$$

θ_{JC} はデータシートから1.0°C/Wです。次に θ_{JA} を取得します。

$$\theta_{JA} = \theta_{JC} + \theta_{BA} = 13.8^{\circ}\text{C/W} \quad (\text{eq. 17})$$

したがって、EVBボード上のNCP3231の計算された接合部温度は、次式から求められます。

$$T_C = T_A + 2.52 \times 13.8 = 54.8^{\circ}\text{C} \quad (\text{eq. 18})$$

また、次の値が得られます。

$$\Delta T_{JA} = 2.52 \times 13.8 = 34.8^{\circ}\text{C} \quad (\text{eq. 19})$$

計算した温度は試験結果に近いものです。

詳細説明

NCP3231 EVBの初期の近似に基づくと、 T_C と T_J の差は、 ΔT_{JA} 全体の約1.7%に過ぎません。したがって、この例では差は次のようにわずかなものです。

$$\Delta T_{JC} = 1.7\% \times \Delta T_{JA} = 0.6^\circ\text{C} \quad (\text{eq. 20})$$

パッケージのケース上面温度測定に基づいてダイ温度を推定したい場合があります。また、(既知の経路を通る実際の熱流に対比した)デバイスの全電力損失に比例した温度差を記述するために、(JESD 51・においてプラスチック・パッケージの接合部間のケース上面間として定義された)熱特性パラメータ Ψ_{JT} を採用することもできます。 Ψ_{JT} という項は、特に微細な半導体デバイスの場合、温度の測定は容易でも熱流束の測定はかなり困難であるという現実に配慮したものです。

パッケージの上面温度測定に基づいてダイの温度を推定したい場合があります。また、温度特性パラメータ Ψ を採用して、デバイス全体の消費電力に伴う温度上昇を記述することもできます。この項は特に微細な半導体デバイスにおいて、温度測定は容易でも熱流束の測定はかなり困難であるという現実に配慮したものです。

システムを全体として考えると(Figure 4参照)、接合部間のケース(上面)間の熱特性パラメータは、次のように書くことができます。

$$\Psi_{JC} = \frac{T_J - T_C}{P_{\text{Totalloss}}} = \frac{\theta_{JCtop}}{1 + \frac{\theta_{JCtop} + \theta_{CA}}{\theta_{JB} + \theta_{BA}}} \quad (\text{eq. 21})$$

先に計算したNCP3231 EVBデータを上式に代入すると、EVB上のNCP3231に対して $\Psi_{JC} = 0.224^\circ\text{C/W}$ となります。この場合も以下のとおり接合部温度が得られます。

$$T_J = T_C + P_{\text{Totalloss}} \times \Psi_{JC} = 54.6^\circ\text{C} \quad (\text{eq. 22})$$

2つのパッケージの熱抵抗 θ_{JB} と θ_{JCtop} が絶対的かつ真に一定であっても、対応する Ψ_{JC} はボードの特性にも依存するため一定でないことに注意する必要があります。ともかく、 Ψ_{JT} を使用すると、パッケージのケース上面温度測定と総消費電力の知識に基づいて、迅速にダイ温度を見積もることができます。

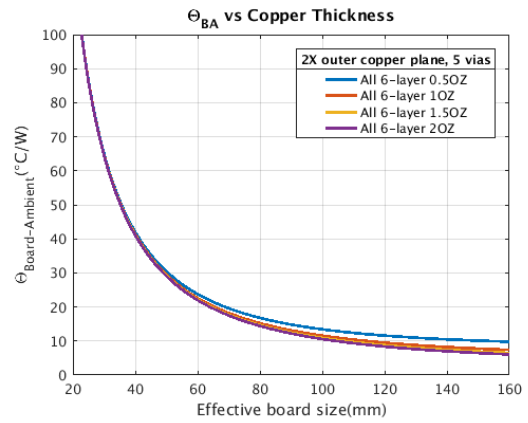
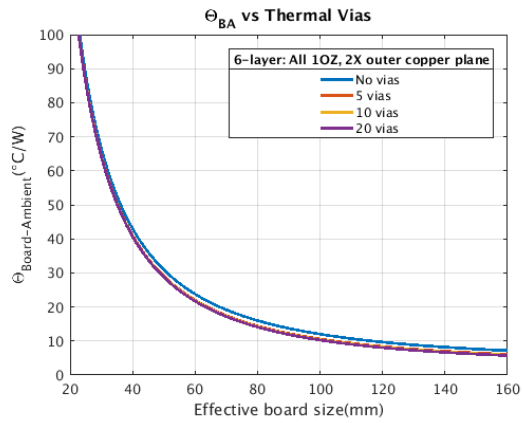
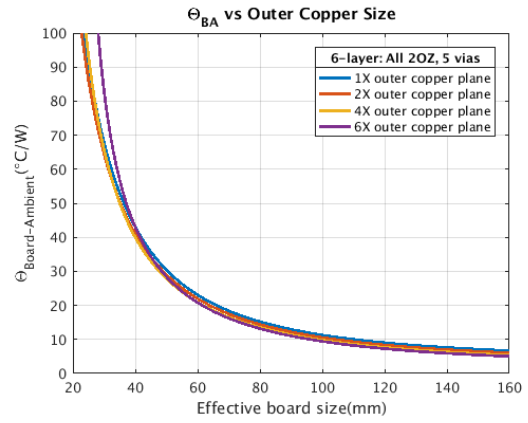
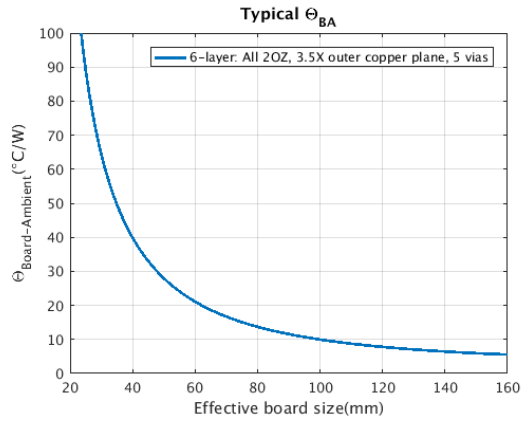
まとめ

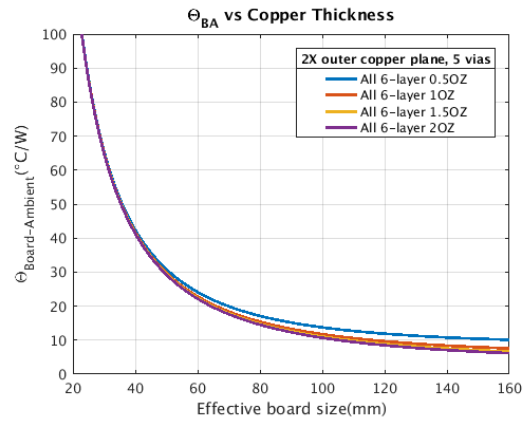
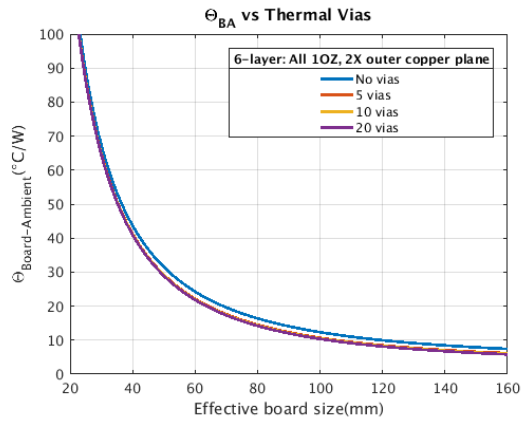
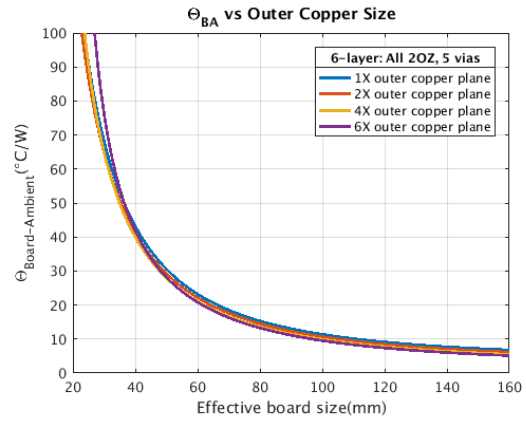
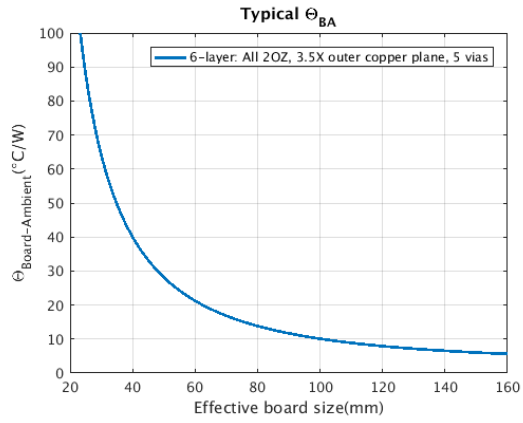
ここでの方法論は正確なCFDモデリングに依存していません。これは、膜係数値およびボード構築方法の知識(例えば、金属層の数と厚さ)を調整するだけで、強制対流および他のPCB構造に拡張できます。この方法論を用いた計算器は、独立型またはWebベース・アプリケーションとして開発でき、計算上高価な全コンポーネントを含むPCB全体の詳細なCFDシミュレーションを実行する前に、最初にPCB上に複数のコンポーネントを配置する際に役立ちます。

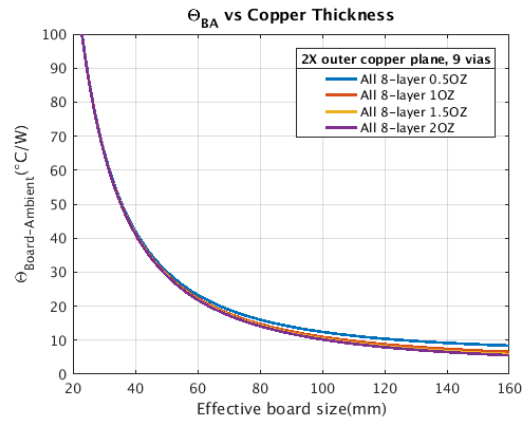
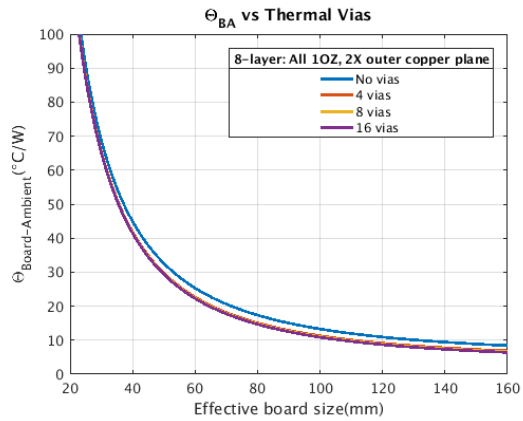
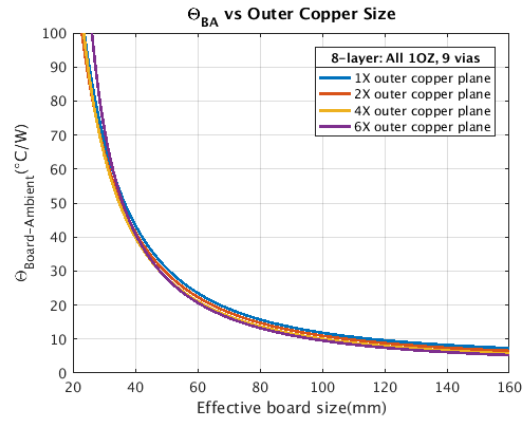
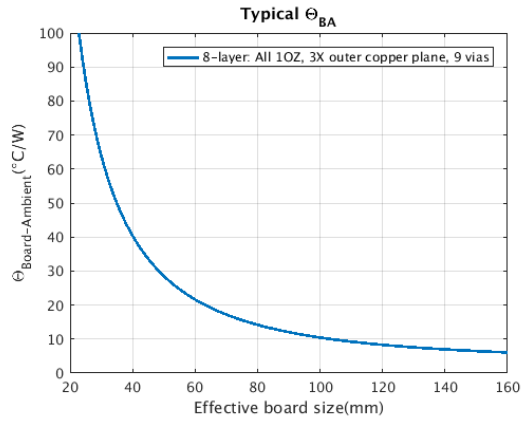
謝辞

著者はオン・セミコンダクター研究開発部のRoger P. StoutとYong Liuの両氏からの惜しみない支援に感謝致します。

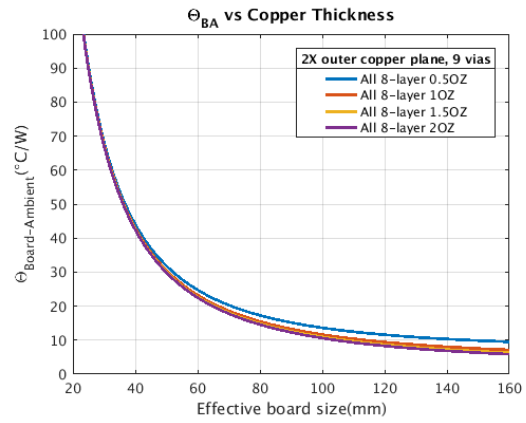
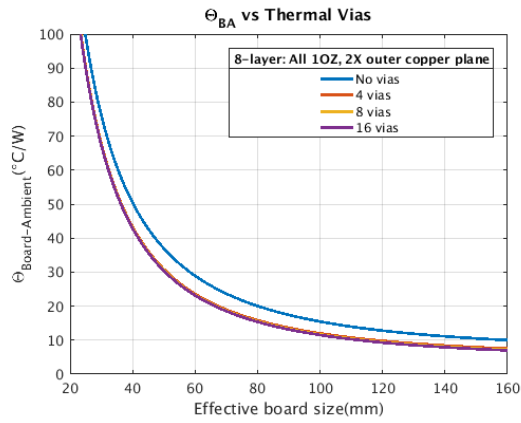
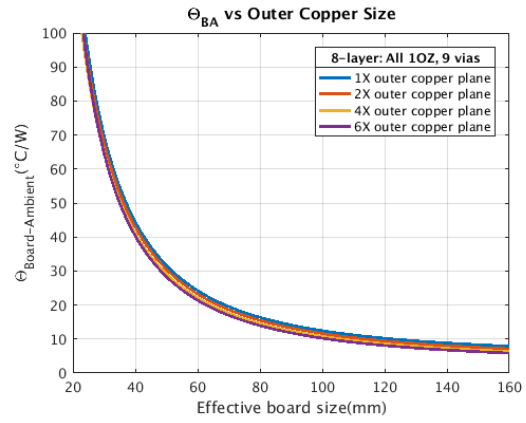
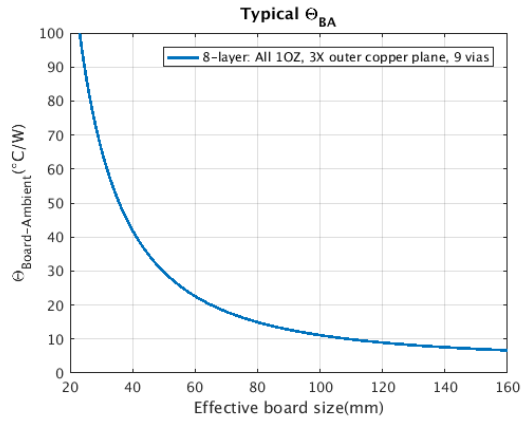
APPENDIX A: Θ_{BA} OF 6-LAYER PCB WITH D/QFN6X6 CHIP



APPENDIX B: Θ_{BA} OF 6-LAYER PCB WITH D/QFN5X6 CHIP

APPENDIX C: Θ_{BA} OF 8-LAYER PCB WITH D/QFN5X5 CHIP

APPENDIX D: Θ_{BA} OF 8-LAYER PCB WITH D/QFN3X3 CHIP



REFERENCES

- [1] Xingcun Colin Tong, Advanced Materials for Thermal Management of Electronic Packaging, Springer, 2011
- [2] Yong Liu, Power Electronic Packaging: Design, Assembly Process, reliability and Modeling, Springer, 2012
- [3] JEDEC Standard, Two-Resistor Compact Thermal Model Guideline, JESD15-3
- [4] [AND8222/D](#), Predicting the Effect of Circuit Boards on Semiconductor Package Thermal Performance, by Roger P. Stout, April 2006

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。ON Semiconductorは通告なしで、本記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA (米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative